

比昂芯 BTD
TECHNOLOGY

超摩尔Chiplet系统集成设计验证平台

比昂芯科技有限公司

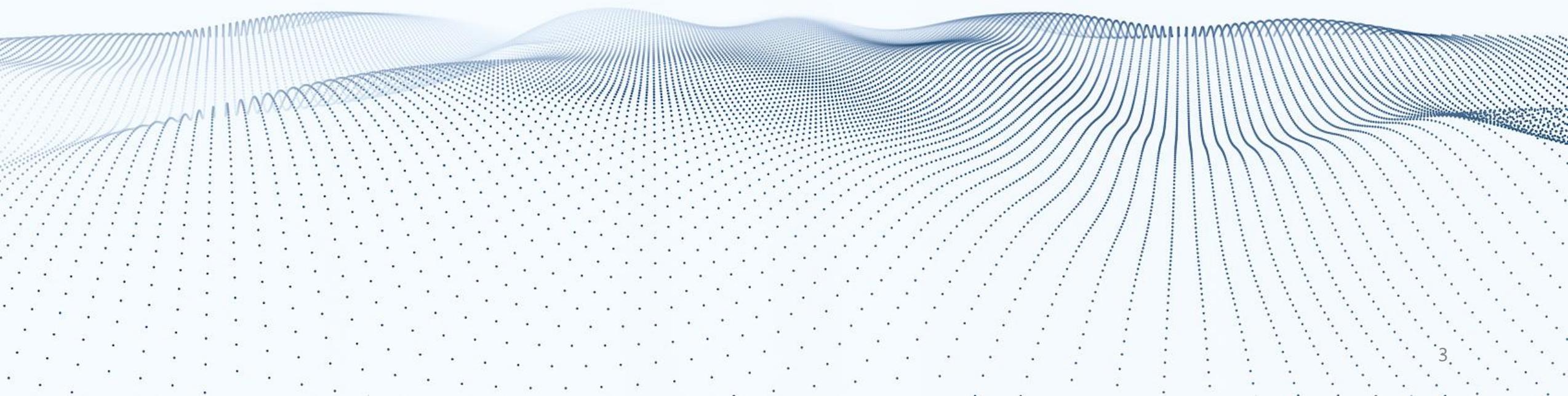
目录

- 1 比昂芯公司介绍
- 2 基于AI多物理场提取
- 3 基于并行计算的完整性验证
- 4 3D物理优化及设计
- 5 示例DEMO



PART 01

比昂芯公司介绍



比昂芯科技有限公司简介

比昂芯科技专注集成电路设计自动化（EDA）软件开发。自主创新产品包括基于分布式计算的大容量、高精度、数模混合电路仿真软件，Chiplet设计和验证全流程软件，以及人工智能驱动PDK和IP设计服务。产品支持先进工艺与先进封装，广泛应用于5G通讯、汽车电子和人工智能等领域。

公司研发和运营中心位于深圳、上海、南京、杭州、北京和宁波。核心团队荟萃全球EDA标杆产品原创架构师，连续成功创业集成电路和EDA上市公司。比昂芯秉承“超越摩尔，仿真万物”的使命，致力于集成电路创新发展。



公司简介 | 国际化标杆团队



美国加州大学



复旦/上交/南方科大



顶级论文400+



知名专著10余部



国内外发明专利20+



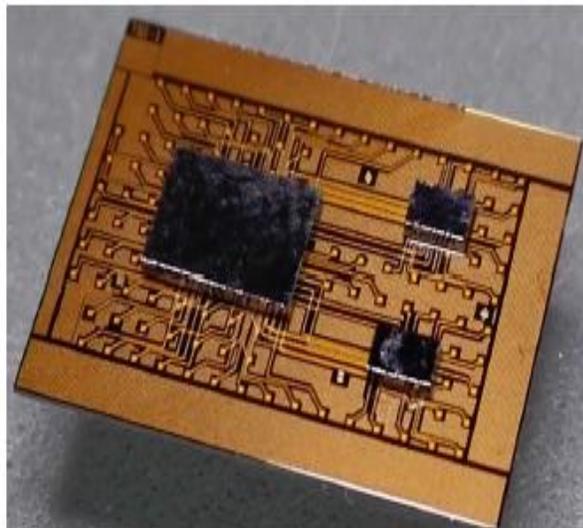
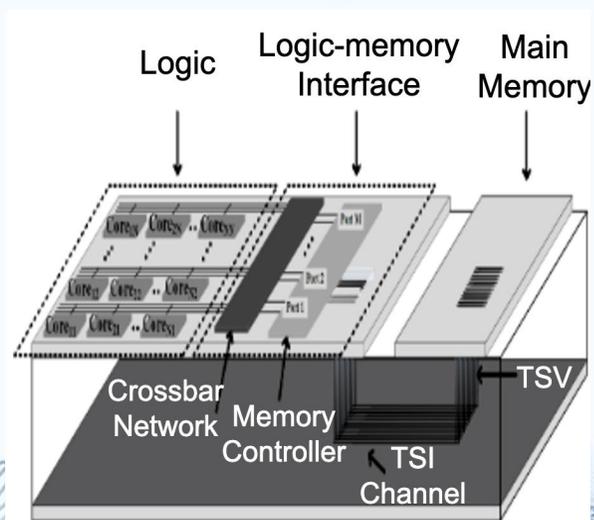
众多国内外奖项

国内外EDA团队标杆
20+年
核心团队协同研究及创业
华大九天、Cadence、
Synopsys、Apache、
Rio Design Automation、
美光、芯原等公司高管、首席科学家
及架构师
50+人
累计毕业EDA领域博士和博士后
15+人
累计培养中美大学教授、公司高管

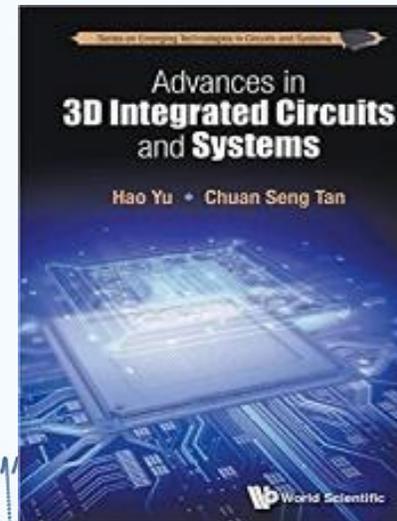
国内外EDA研究标杆
国家科技进步一等奖
上海市科技进步一等奖
EDA国际顶级期刊最佳论文奖2项
会议最佳论文获奖及提名30+次

公司简介 | 先进封装领域基础

AI芯片第二代架构：高性能三维多核计算芯片 **ACM TODAES' 10**、**IEEE CICC' 15**、**TCASI' 17**



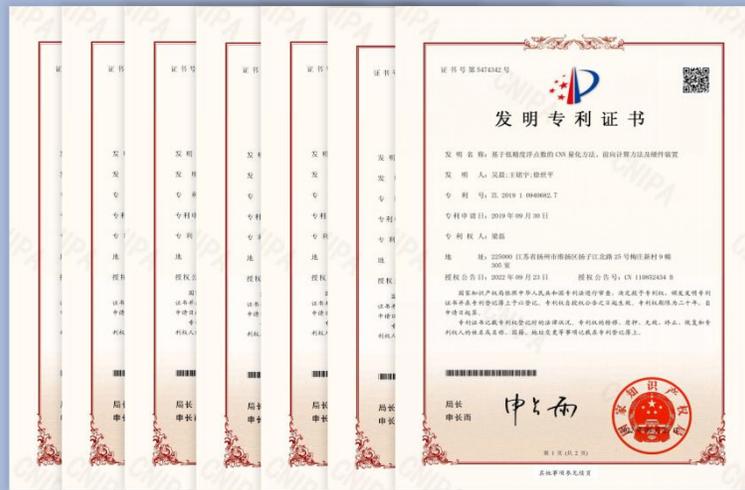
2010最佳论文奖



著作：3D集成电路与系统设计

- 问题：传统2D集成AI芯片的带宽低，无3D芯片实现的工作
- 方法：2010年提出基于3D集成多核芯片设计方法，并在2015年3D芯片上实现了96Gbps带宽的高性能16核处理器
- 影响力：3D集成多核芯片设计方法文章**TODAES' 10**单引**195**（美国IBM、Intel等），并获2010年ACM-TODAES期刊最佳论文（2012年最佳论文获得者是美国Jason Cong院士）

软件著作权 数十项
发明专利 十余项



国家高新技术企业

大湾区高成长企业 (2023)

ISO9000质量管理体系认证证书

中国CHIPLET产业联盟

中国计算机互连技术联盟

中关村高性能芯片互联技术联盟

数字化工业软件联盟理事单位

中国电子元件行业协会会员单位

广东省集成电路行业协会会员单位

深圳市软件行业协会理事单位



比昂芯Chiplet设计验证解决方案

BTD-ABS

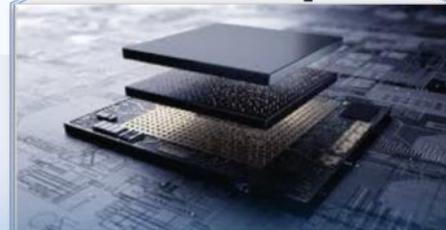


异构Chiplet系统 设计验证工具

射频有源（含化合物）/无源器件建模 +
射频电路/电磁仿真引擎 + SI/PI + 系
统级原理图/版图设计

后摩尔模拟射频

BTD-Chiplet



大容量Chiplet 设计验证工具

2.5D/3D物理设计 + 有源/无源器件建
模 + SI/PI + 多物理仿真 + 系统级原
理图/版图设计

后摩尔数字

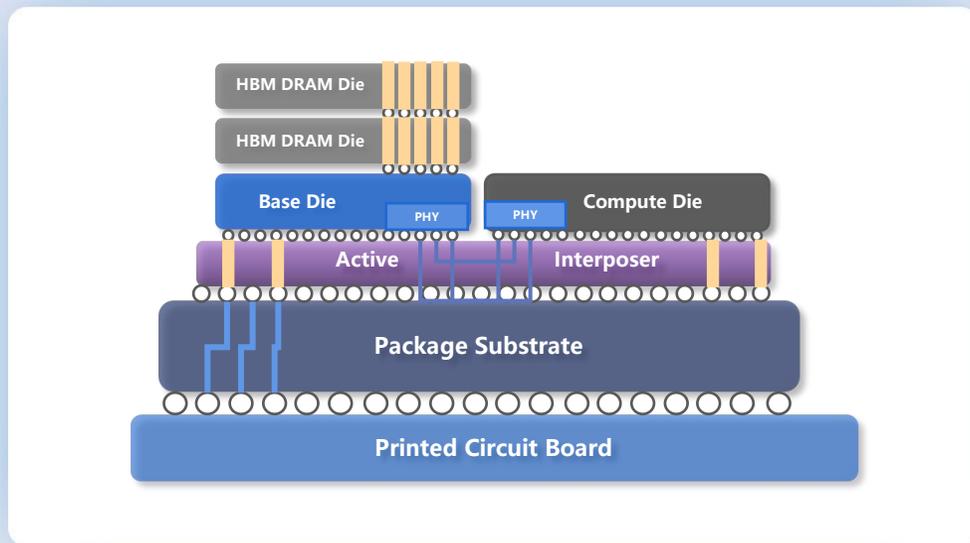
BTD-Sim



后摩尔仿真引擎

全功能SPICE+射频仿真+数模混合
+ 高性能并行

比昂芯核心产品平台 | BTD-Chiplet



国内自主开发的Chiplet设计与验证全流程工具

兼容SOC和PCB工业标准的数据底座 (DB)

支持UCIe标准及多种工艺平台

多层次协同Chiplet系统规划

高性能自动化物理设计

基于多物理场的可靠性验证

2.5D/3D物理设计

- Chiplet/3D规划和布局
- 2.5D/3D自动布线
- 多层次协同优化

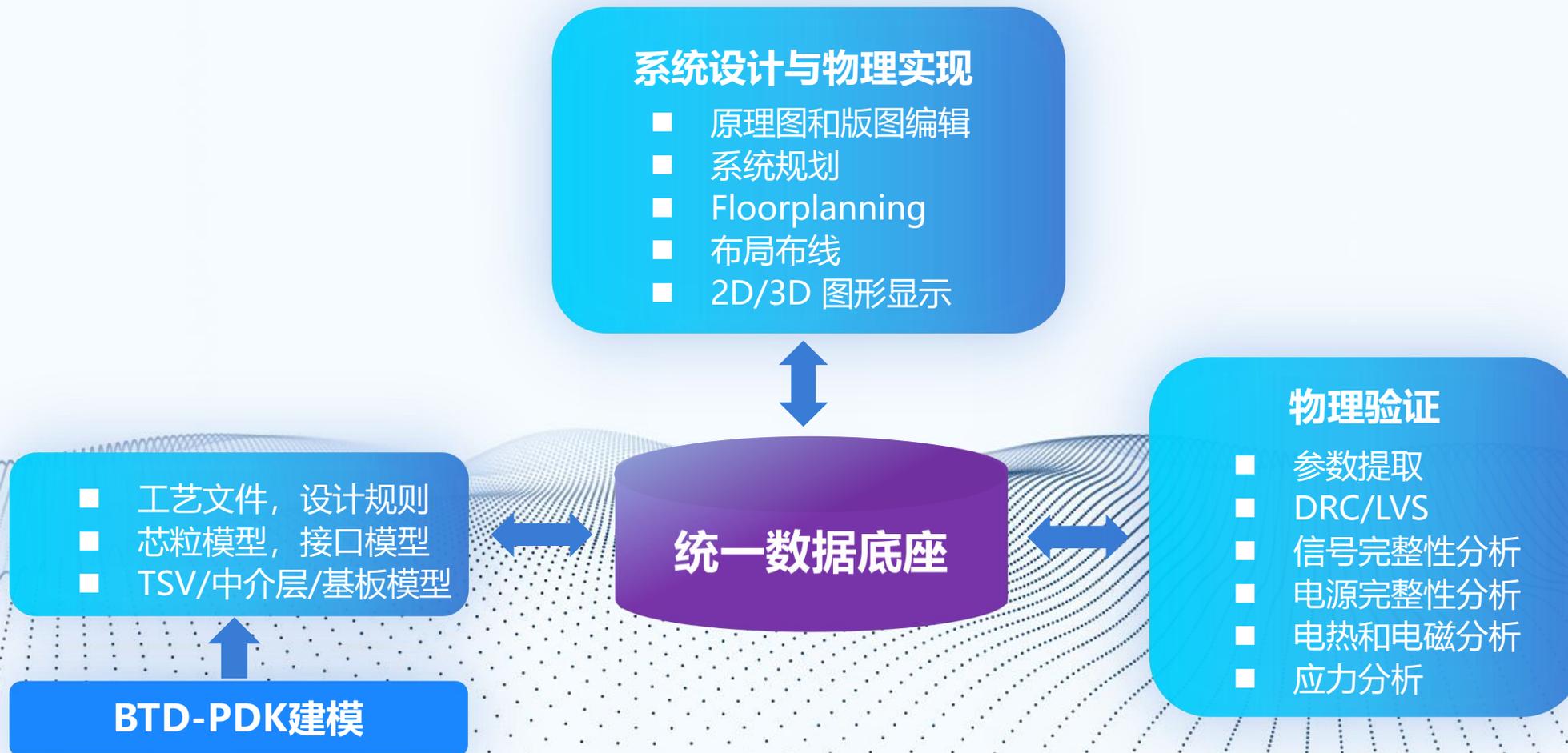
先进模型提取

- 快速参数提取
- 基于场求解器的高精度参数提取
- 模型降阶与AI预测

大容量SI/PI/TI/Stress仿真验证

- 行为级仿真
- 晶体管级仿真
- 多物理场可靠性验证

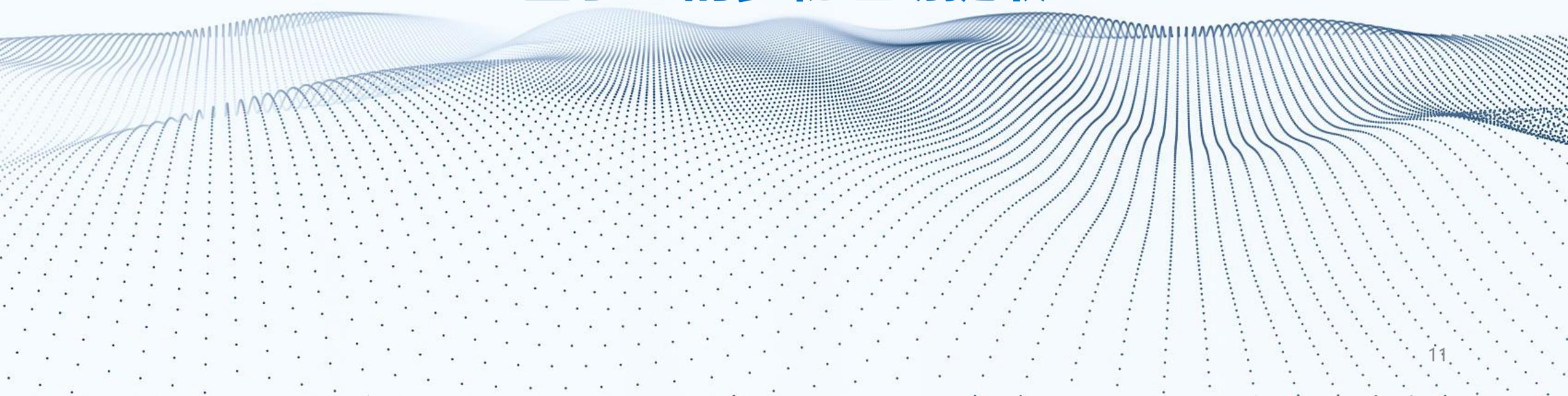
一站式数字Chiplet设计平台





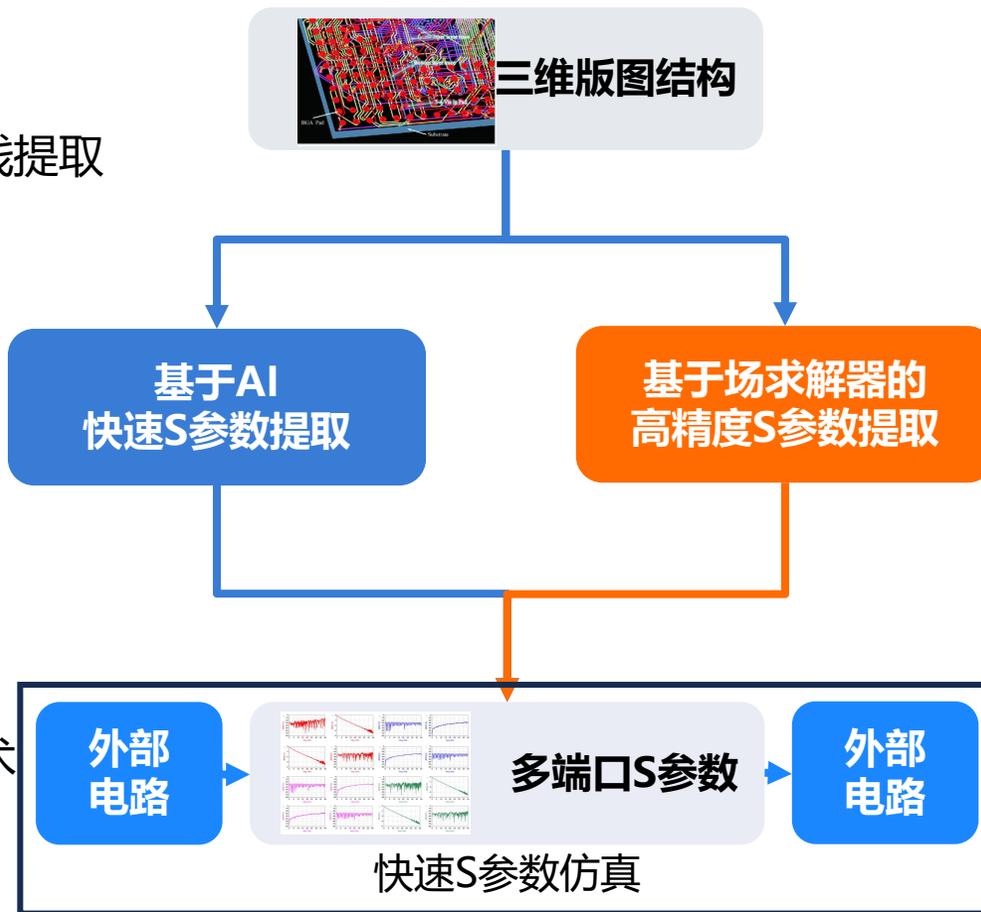
PART 02

基于AI的多物理场提取



基于AI的参数提取

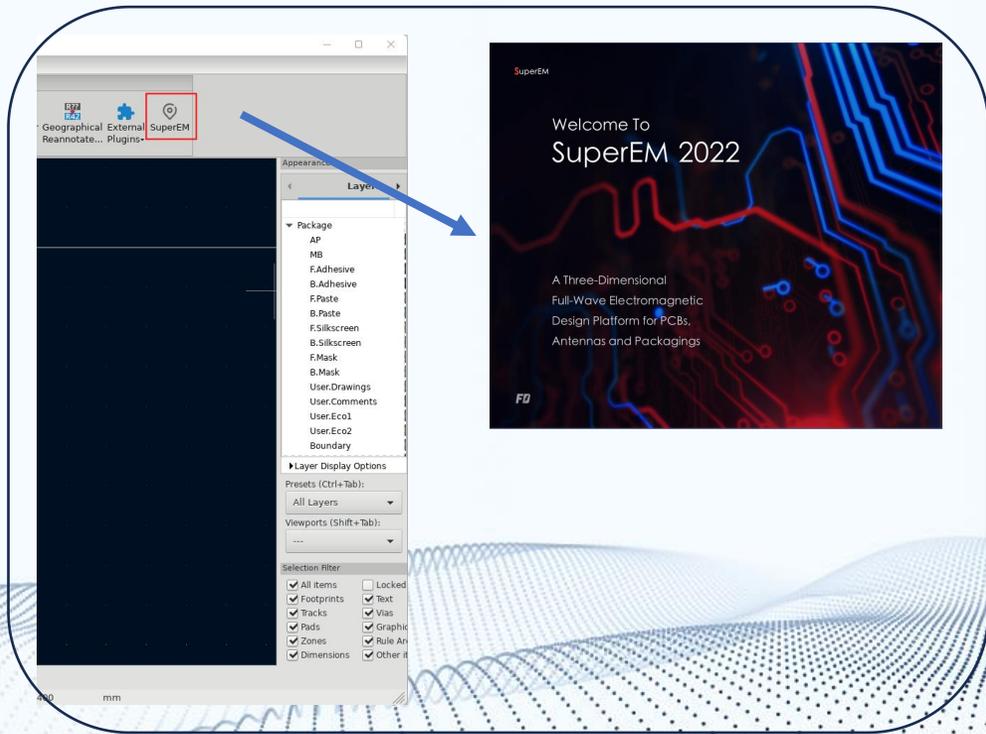
- 直接基于版图物理结构（GDS等）提取
- 快速提取功能，支持超大规模（万级）互联线提取
- Chiplet专用优化（Die间连线自动选择）
- 局部高精度提取，提高验证质量
- 多种文件格式输出及可视化
- 超多端口S参数仿真加速
- 先进被动性（passivity）自动检测及增强技术
- 模型降阶与AI预测



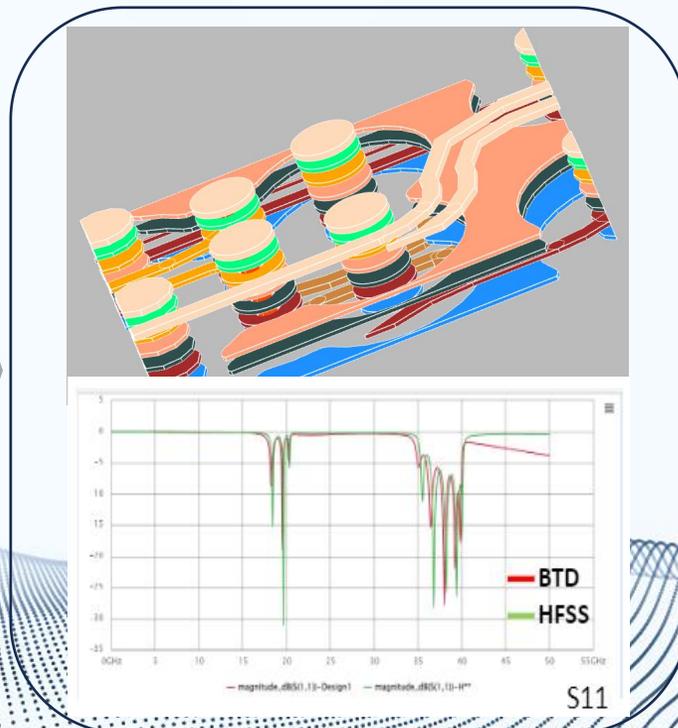


三维电磁场工具协同仿真

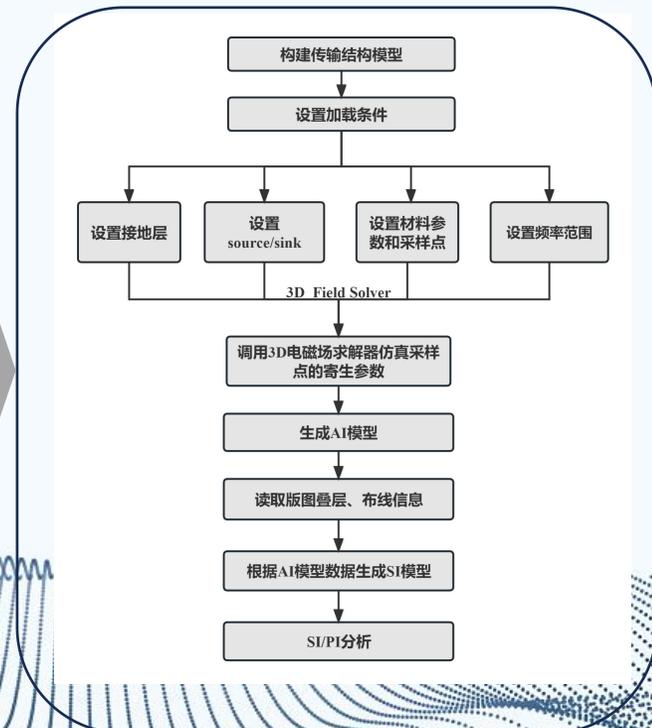
BTD界面直接启动



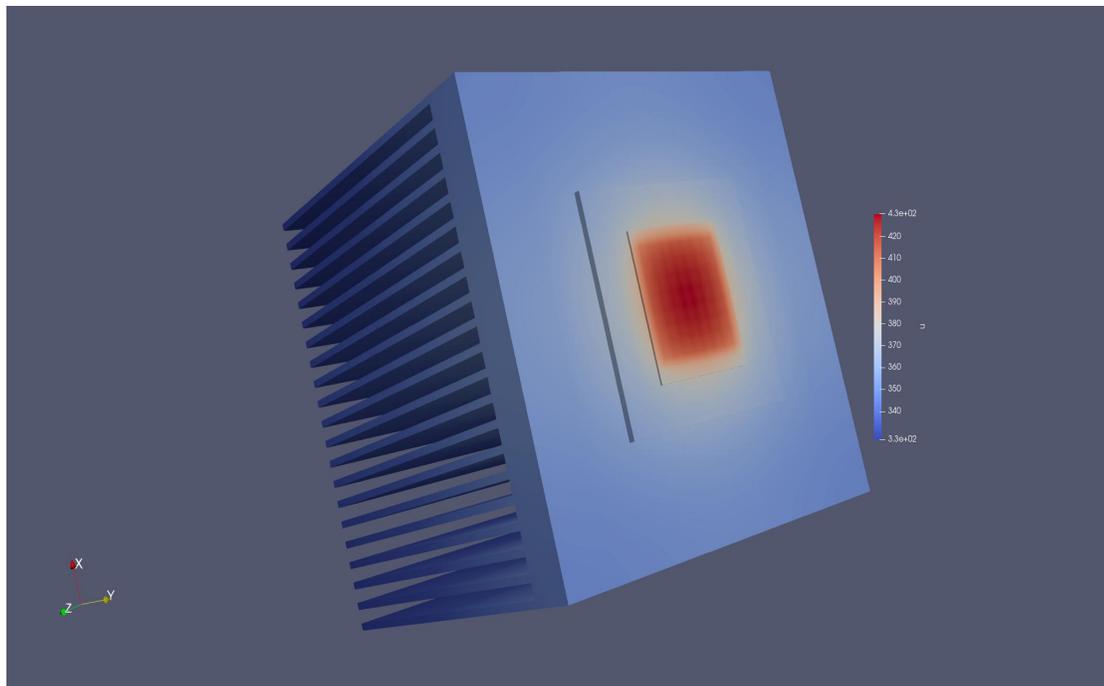
三维电磁场仿真



基于仿真数据提取AI模型



- ❑ 集成基于有限元的三维电磁仿真工具，形成射频电路+电磁场协同仿真功能
- ❑ 高效设计片上无源器件，如螺旋电感、巴伦、变压器、MIM电容、MOM电容器、RFIC传输线、滤波器、放大器等
- ❑ 建模处理高频场景（50-100GHz）下的趋肤效应、寄生耦合、多层有耗衬底损耗、衬底及互联耦合效应等问题
- ❑ **基于三维电磁工具提取AI模型**



- Chiplet内置工具，一键即达
- 支持基于Chiplet设计直接提取结构数据
- 精确建模，有限元网格分析
- 稳态、瞬态、非线性瞬态仿真
- 单元级热仿
- 加速仿真，秒级仿真速度
- 多种文件输出及可视化

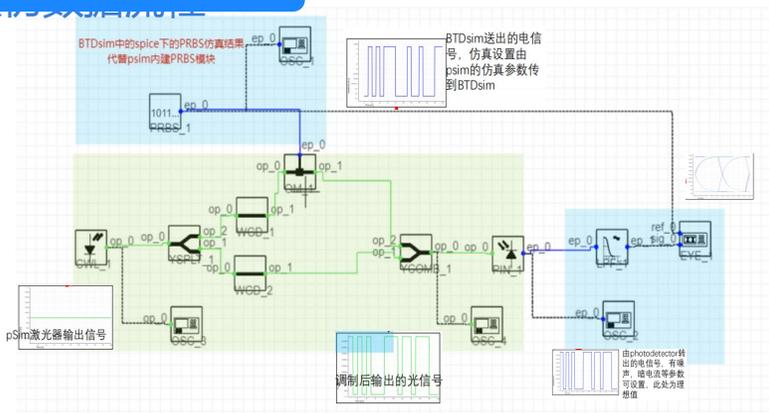
三维光场工具协同仿真



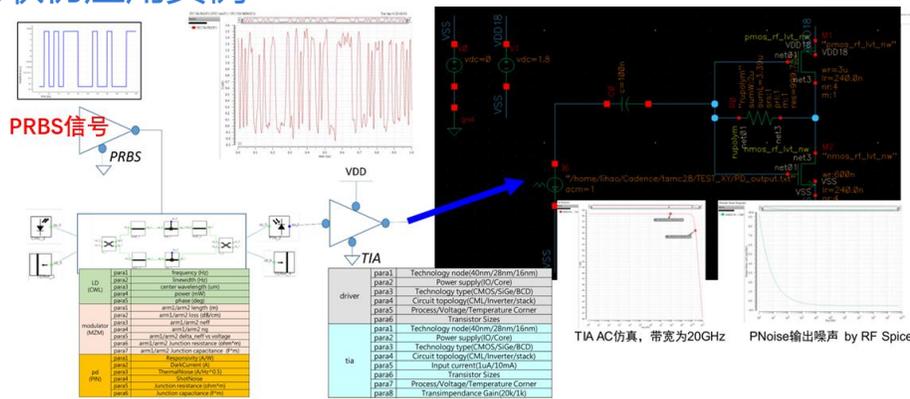
BTD **光电联合仿真功能**支持主流光学仿真器。通过步长对齐等技术，BTDSim与光学仿真器进行电信号和光电流交换，实现时域内的联合仿真，为光电电路提供系统级分析能力

- 内嵌BTDSim电路仿真器
- 集成第三方硅光芯片链路仿真器
- 支持多模、双向和多通道的链路级验证
- 支持Windows/Linux版本

光电联仿数据流程



光电联仿应用实例

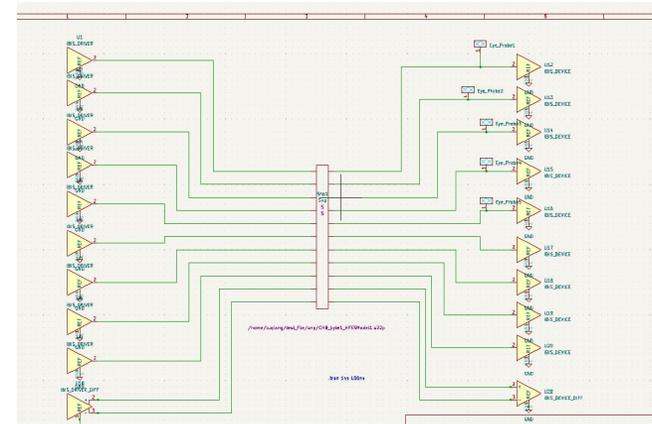
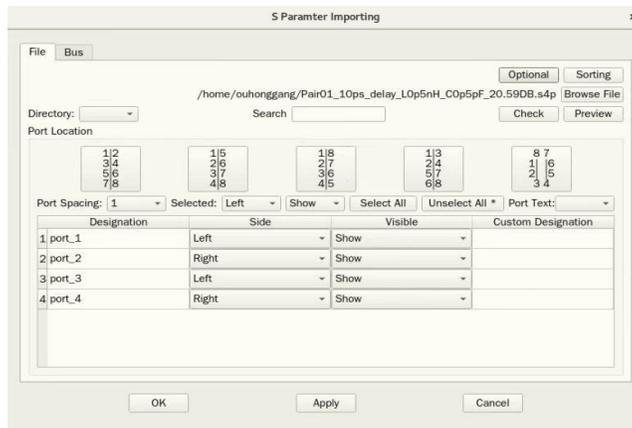
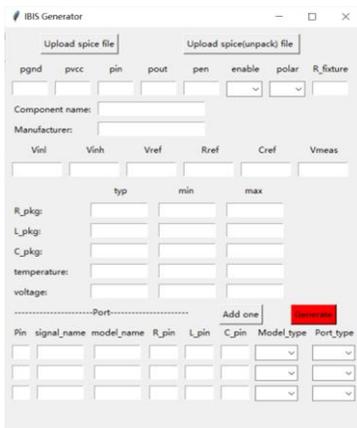




PART 03

基于并行计算的完整性验证

系统级信号链路分析



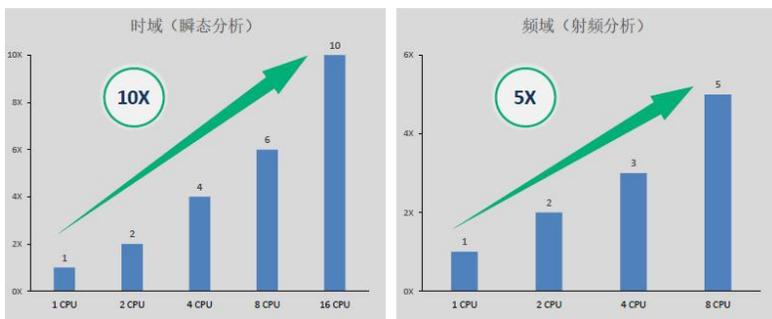
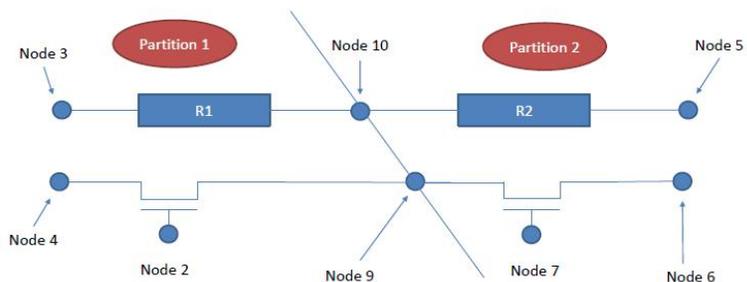
- 基于SPICE的IBIS模型提取
- 支持IBIS+AMI模型加载
- 多种信号生成 (PRBS/PAM4等)

- 支持多port S参数模型
- 支持SPICE传输线/RLC模型
- 快速行为级仿真

- 支持多眼图探针
- 丰富模型库及电路图编辑功能
- 多种后分析功能

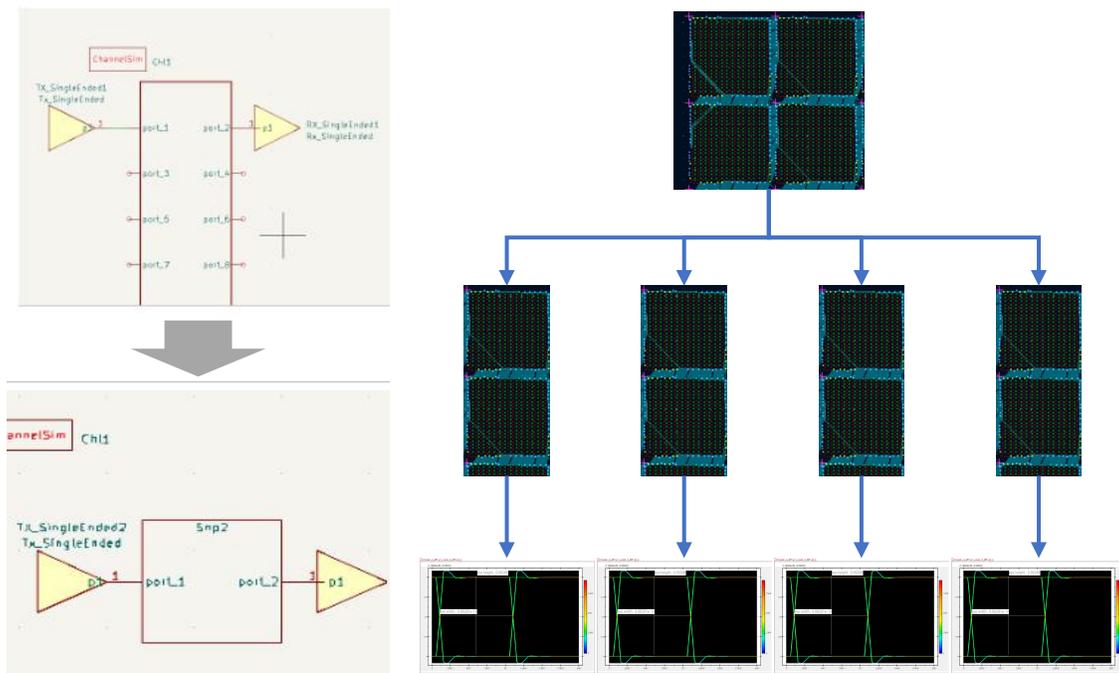
并行电路仿真加速

- ❑ 基于超图的自动电路划分
- ❑ 业界领先的BBD并行加速技术
- ❑ CPU/GPU混合加速
- ❑ 射频电路仿真专用并行加速
- ❑ 并行性能超越Spect*-APS



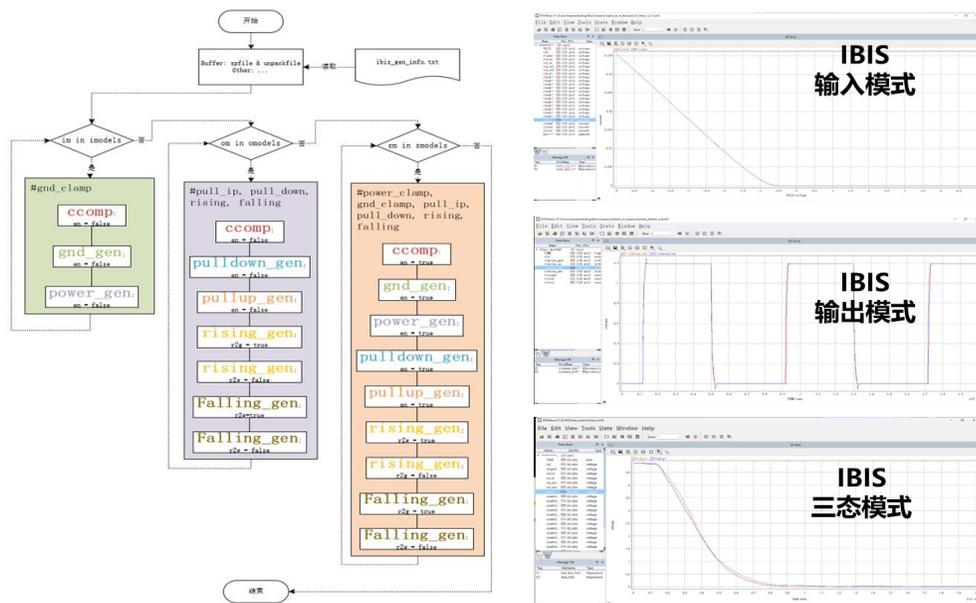
眼图仿真加速

- ❑ S参数端口降阶技术
- ❑ 并行眼图仿真技术
- ❑ 多核系统 (Chiplet等) 自动划分技术



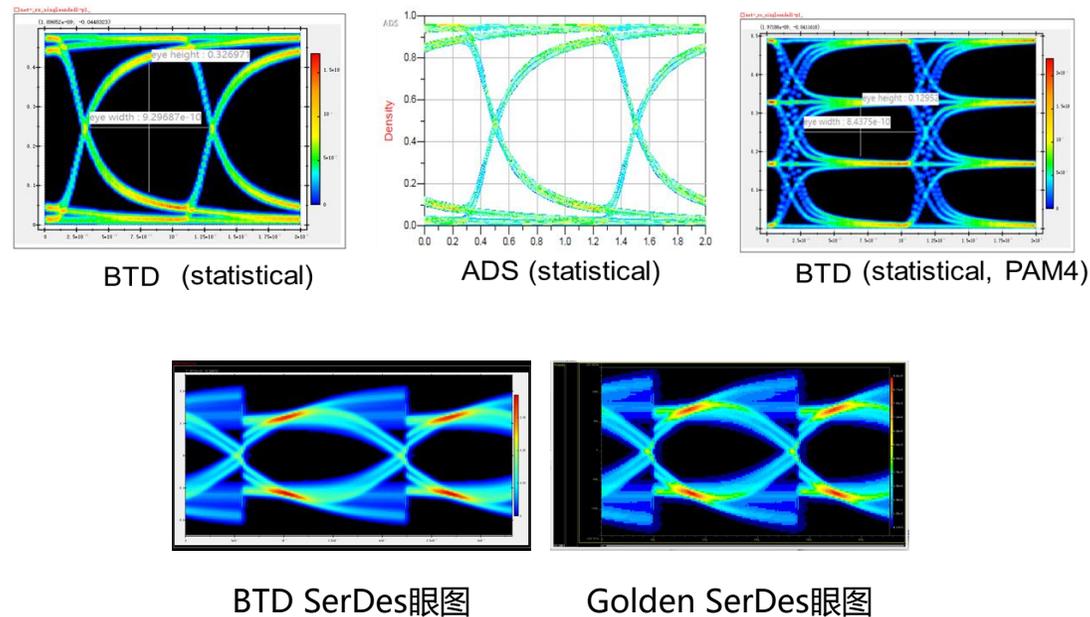
IBIS模型提取

- 基于TX/RX网表自动化提取IBIS模型
- 精度达到Golden标准

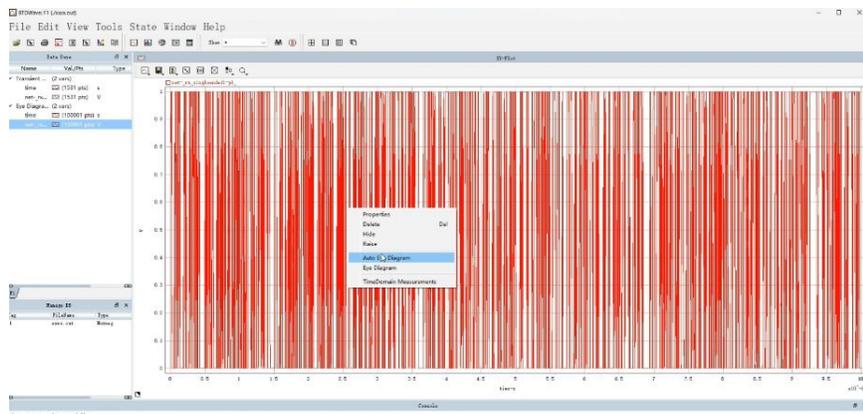


快速眼图仿真功能

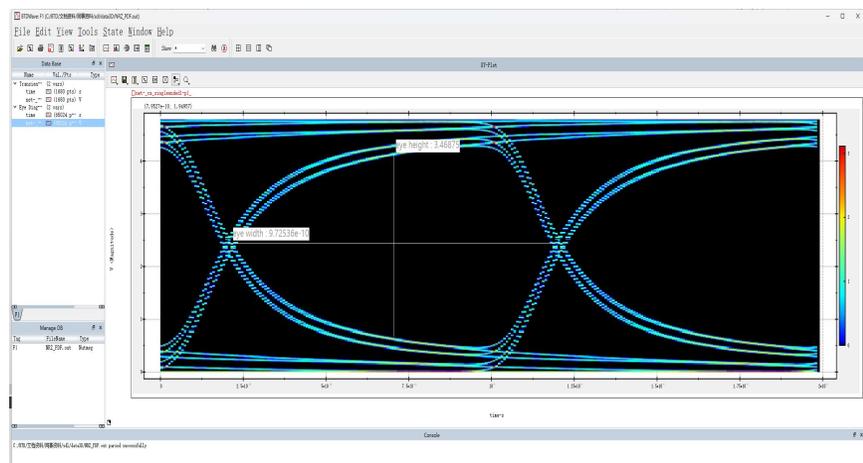
- 对标A* ChannelSim模式 (bit-by-bit及statistical)
- 支持IBIS + AMI + PAM-X信号



大尺度SI/PI并行验证

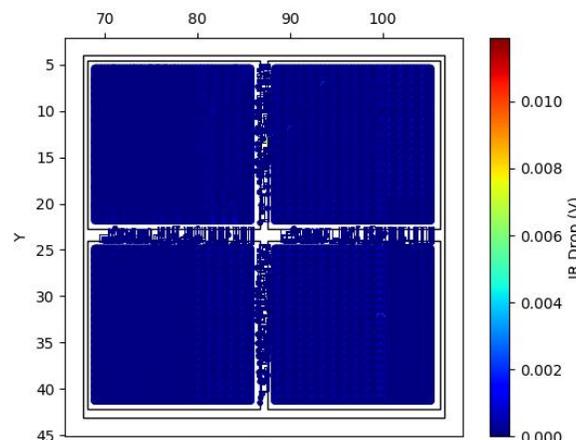


时域仿真波形

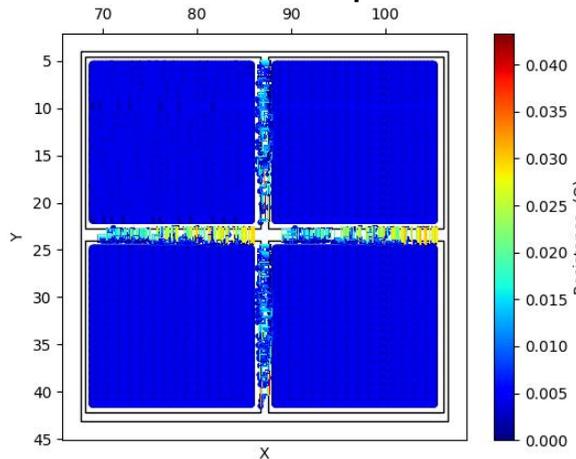


眼图

- 波形稳定性
- 噪声
- 时钟偏移
- 时钟抖动
- 时钟重建
- 串扰
- 时序偏移
- 振幅变化
- 等化器效果
- 误码率 (BER)



2*2 IR Drop



2*2 阻抗分布

- 总体电压降分布
- 支持PowerTree
- 电压饱和区域
- 电压梯度分析
- 电源网络情况
- 电压饱和区域
- 电压梯度分析
- 电压降与布局关系
- 区域性问题分析



PART 04

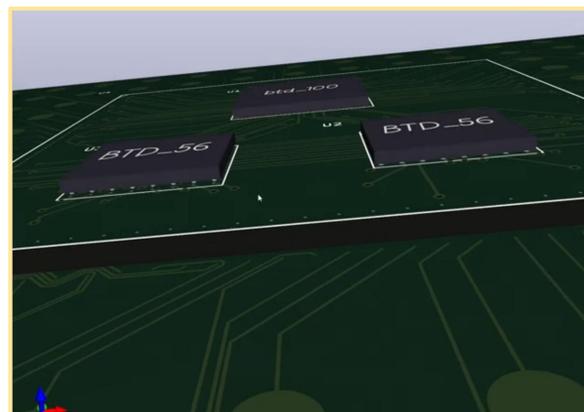
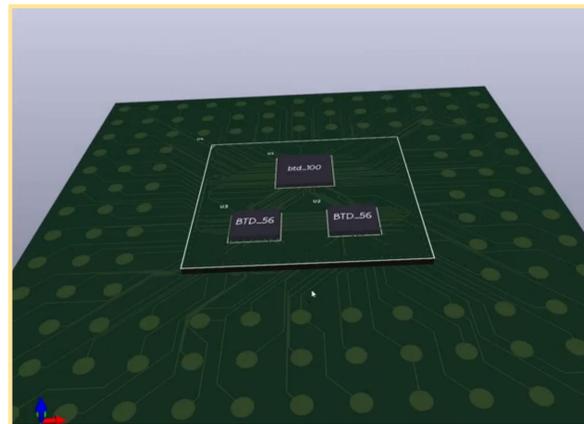
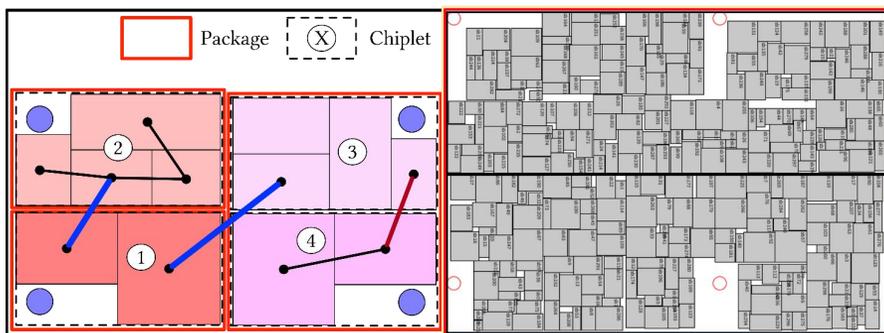
3D的物理优化设计

物理设计核心流程



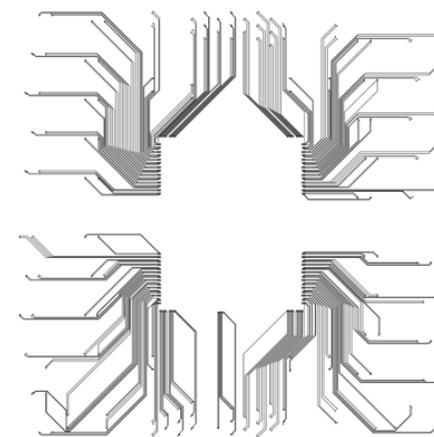
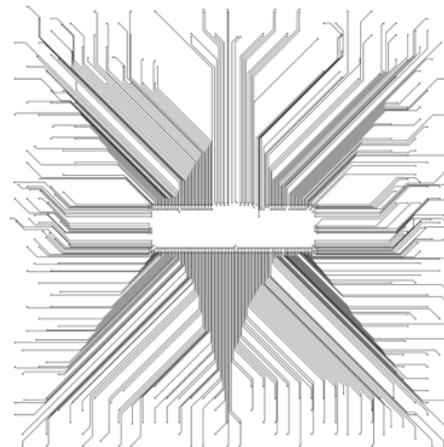
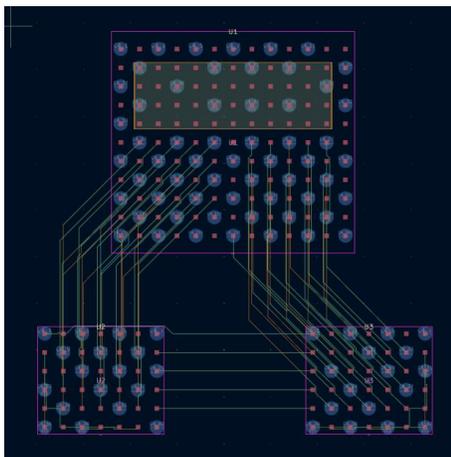
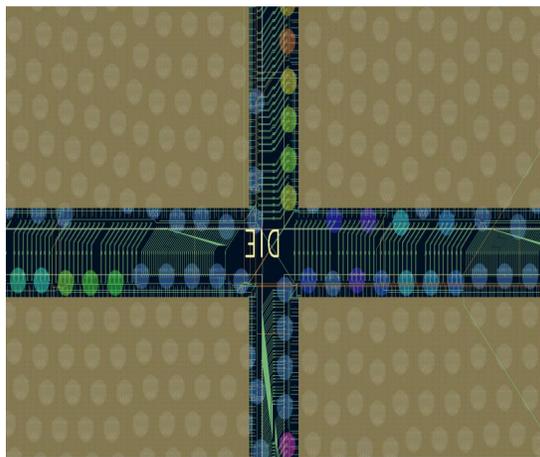
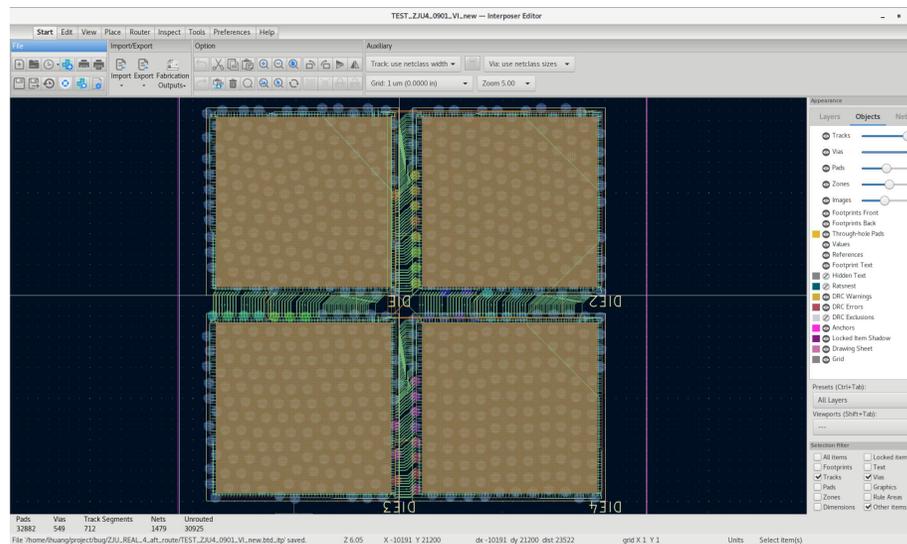
多层次协同布局优化

- 支持多封装系统的协同优化
- 支持从Chiplet到PCB的多层次优化
- 支持Partitioning与Floorplanning的协同优化
- 支持多种封装结构: 2.5D, M3D , ...
- 支持多物理模型的协同优化
- 支持早期的可布线性优化
- 支持对结构二维2D及三维3D可视化



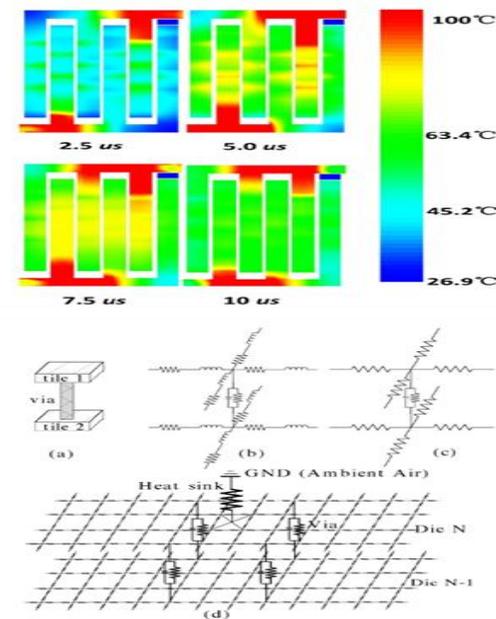
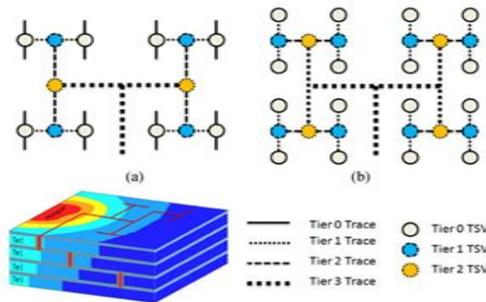
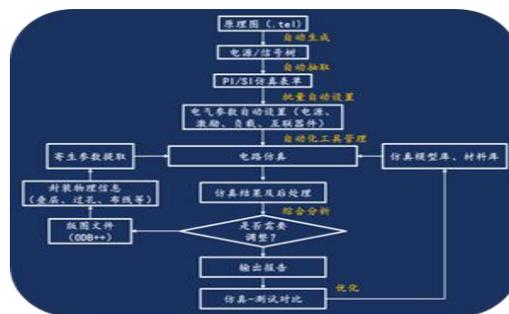
高性能自动化基板布线

- 支持高性能RDL/PCB布线
- 支持Escape Routing与Area Routing的协同优化
- 提供满足用户需求的自动布线优化
- 支持多种类型版图的自动布线
- 支持RDL布线和PCB布线的协同优化
- 可针对不同设计规则进行专门优化



多物理可靠性验证及优化

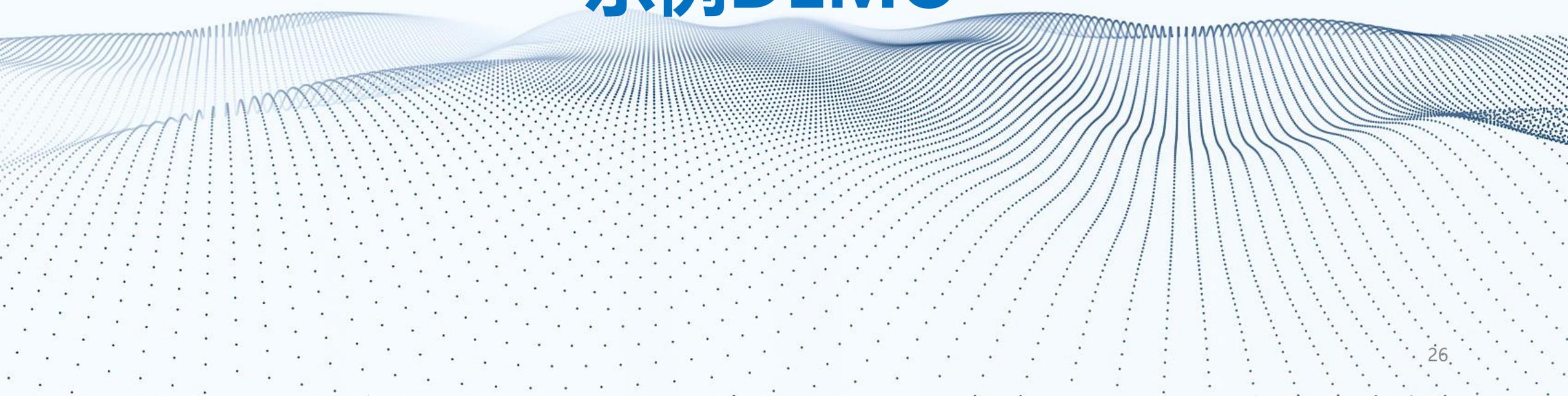
- 三维IC架构级快速电热分析 (hotspot检测)
- 机械可靠性 (应力、翘曲 (warpage))
- 基于电-热-应力耦合的三维规划布局优化
- 基于电-热模型的电源/地网络TSV优化





PART 05

示例 DEMO



Chiplet DEMO

本案例Chiplet设计参数如下:

芯片面积 : 18957um×18957um

片间间距 : 500um

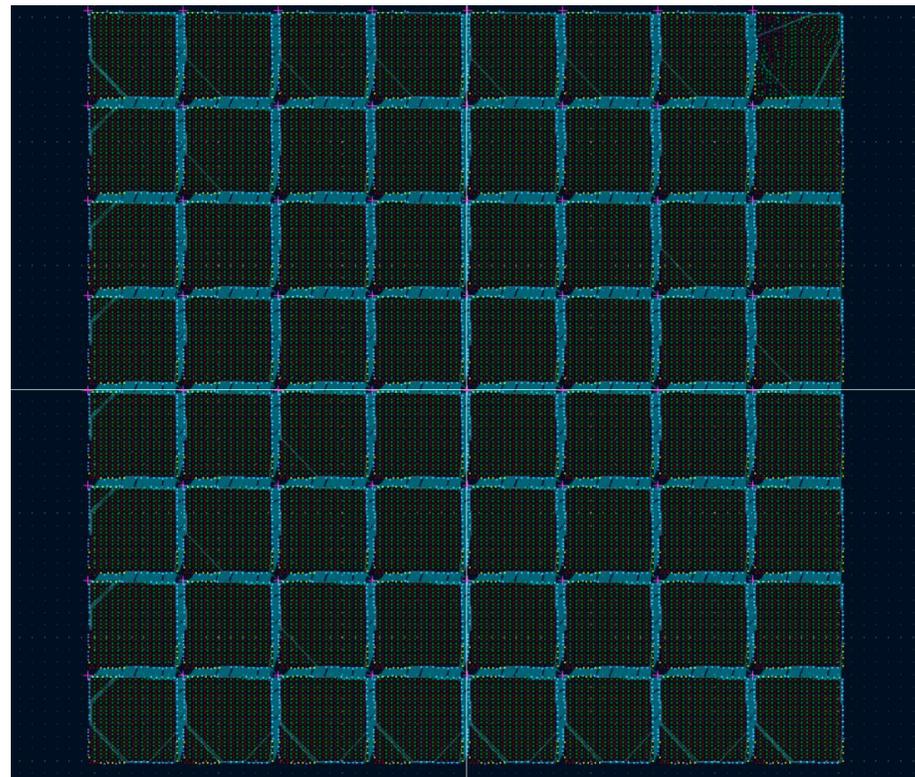
核数: 64

of RDL layers: 3

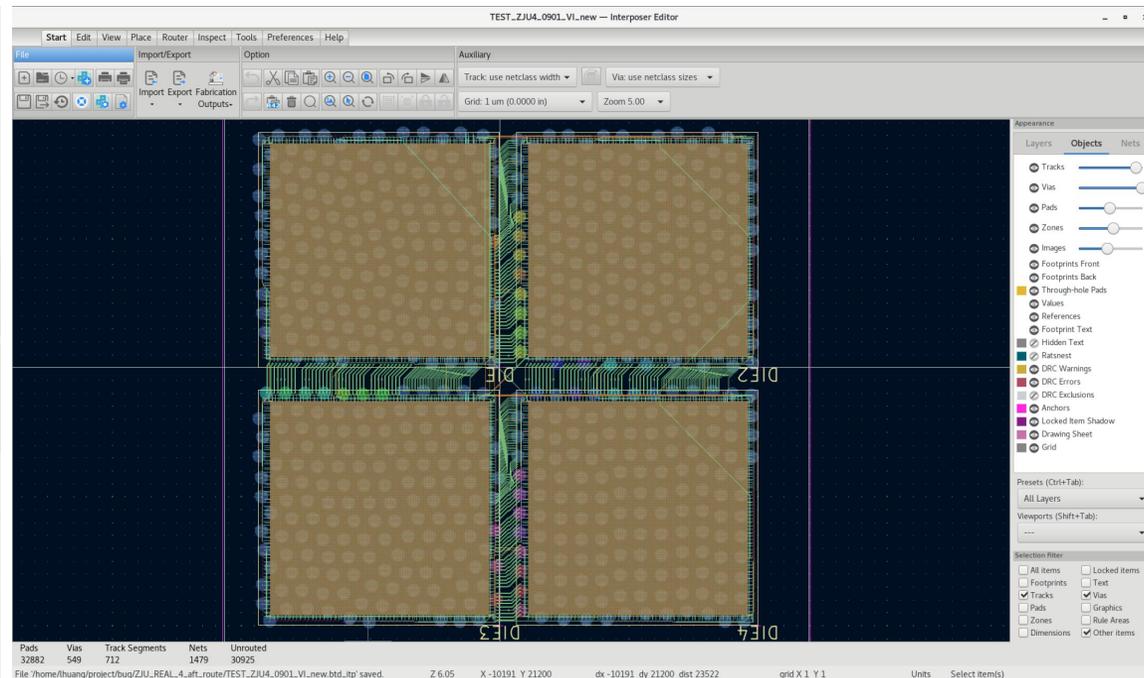
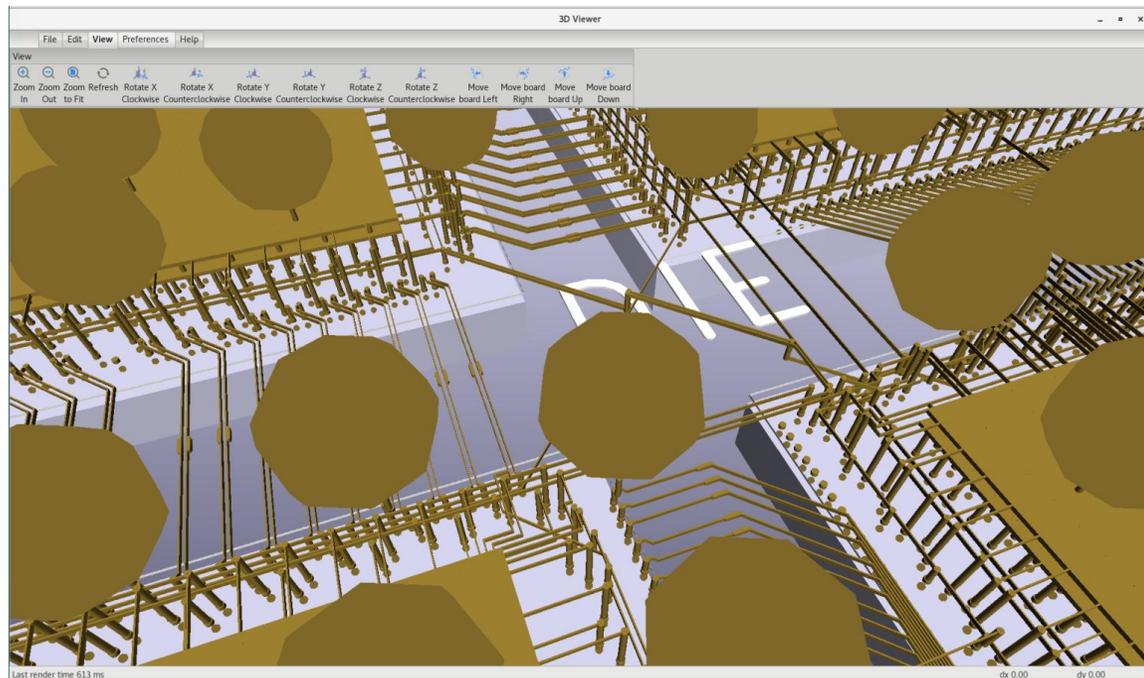
of VDD regions: 12

of u-bump: 516K

of nets: 14K



Chiplet DEMO-布局布线



- 针对核心供电网络：基于边界框的电源板自动生成算法；
- 针对多种电源网络混合的复杂场景：基于深度优先搜索的电源线自动布线算法；
- 针对大规模die间及全局信号线：基于A*的高效避障布线算法
- 针对具有特殊设计约束的die间信号线：基于特殊模式的快速布线算法

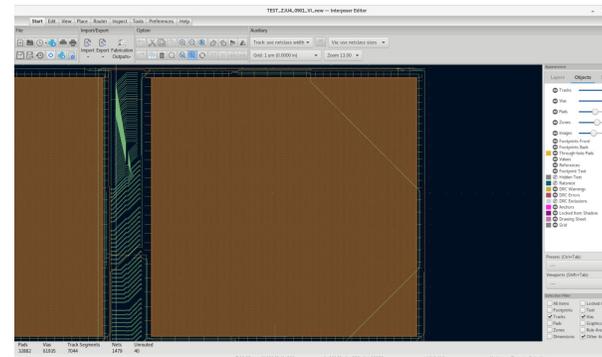
设计加速：

- 原始人工设计：超2个月
- BTD-Chiplet: ~2小时

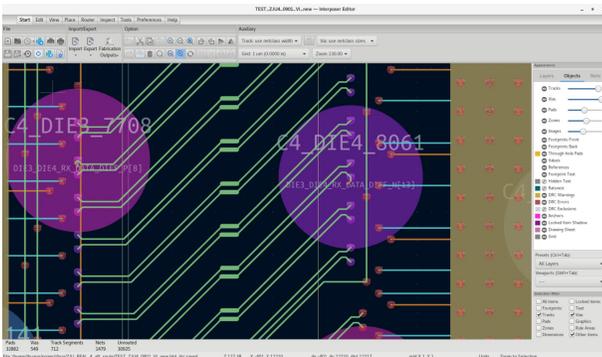
Chiplet DEMO-布局布线



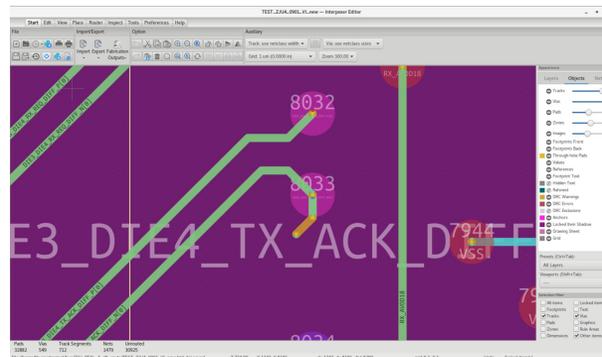
- 支持power/ground net的供电平板的生成。
- 支持90°/135°的走线设计
- 支持stack via的定制化，可选择打孔方式为avoid stack via
- 支持差分对布线
- 支持stitching的区域指定



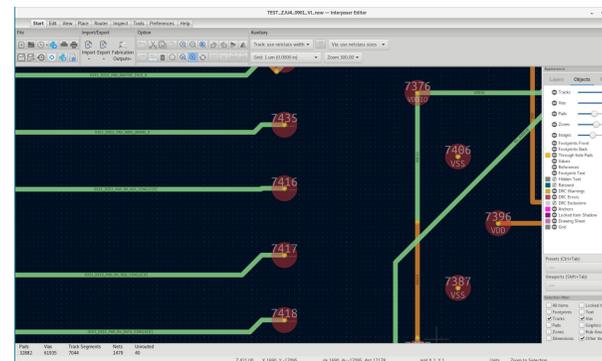
Power plan



Differential pair & Stitching Area

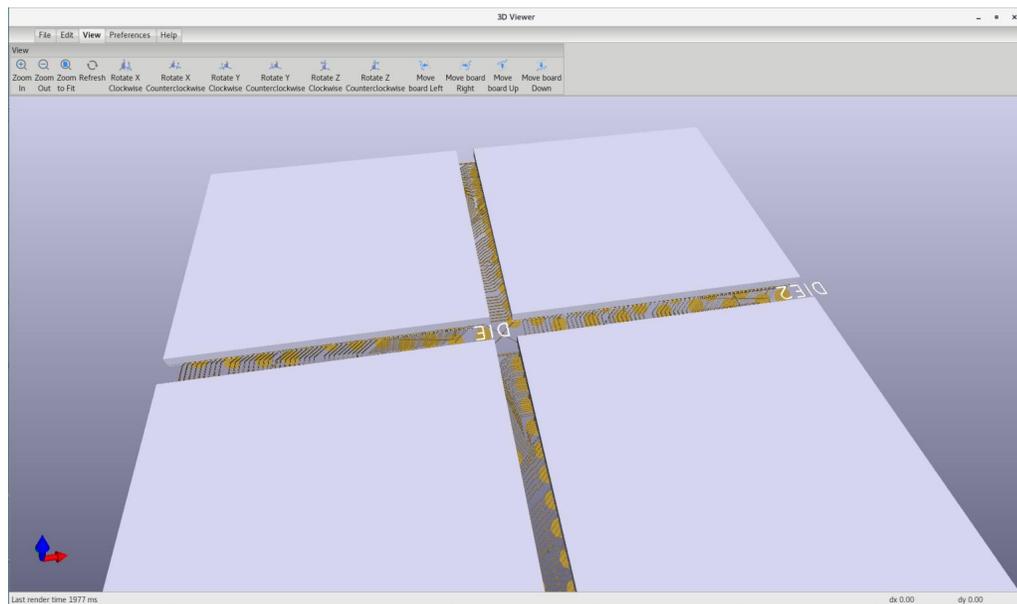


Avoid stack via

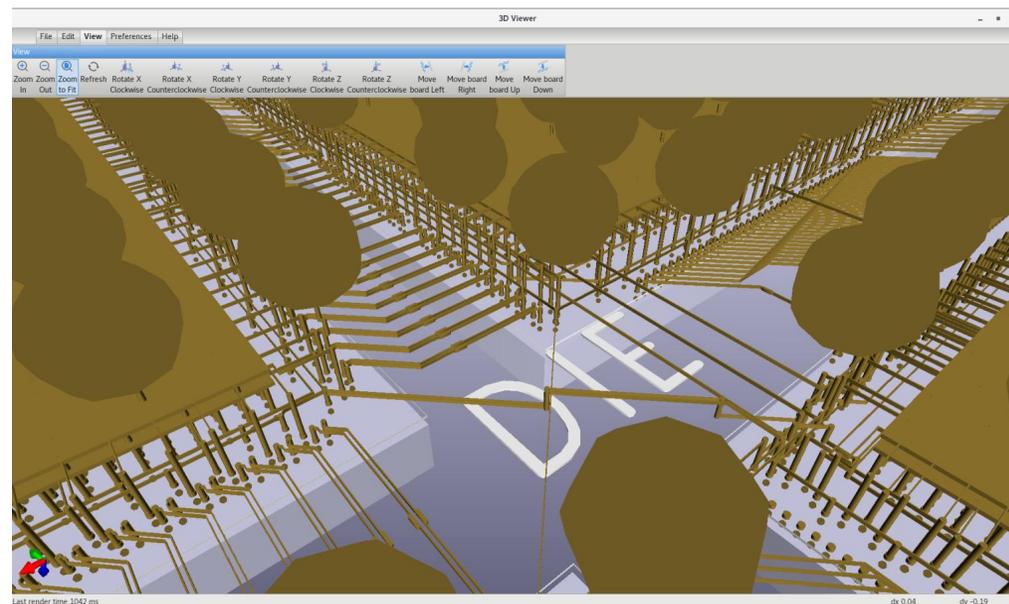


90°/135°

Chiplet DEMO-3D显示



- 自主创新的3D模型生成算法和高效的渲染技术
- 对于超大规模chiplet设计，在保证真实反映各个部件细节的前提下，可以在有限的资源下高效显示
- 系统显示和细节显示无障碍切换

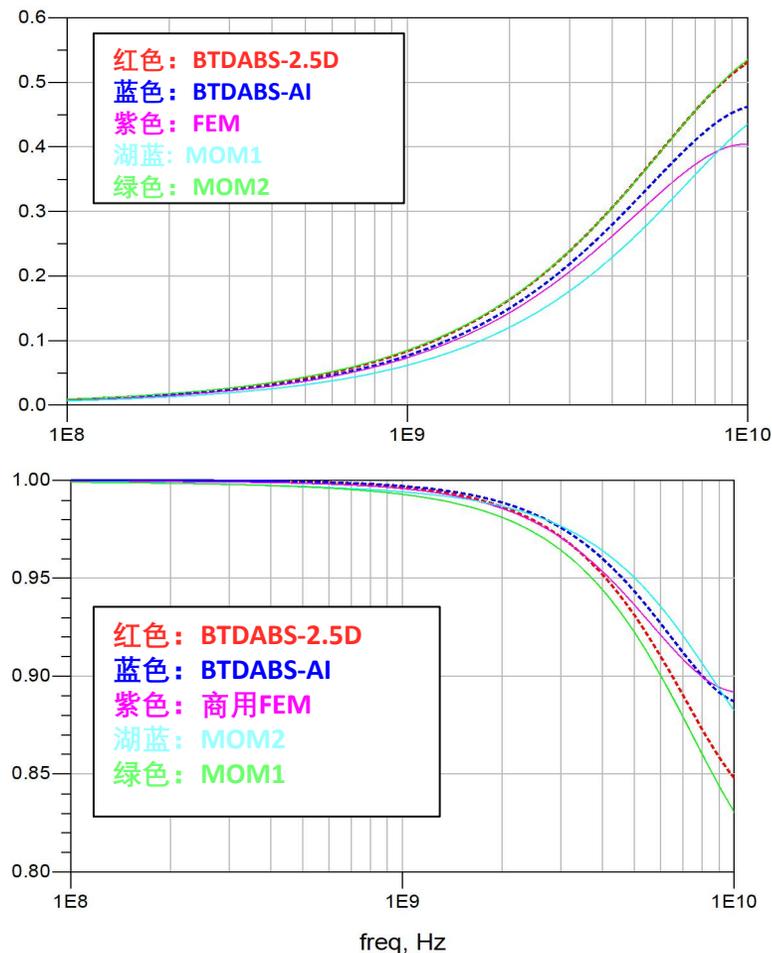


- 组件分离设置。
- 任意自由度交互
- 渲染可定制化设置
- 大规模阵列模型自动优化

Chiplet DEMO-SI提取结果

Net 数量	BTD-2.5D	BTD-AI	商用 MOM1	商用 MOM2	商用FEM
12502	2.5h	7s	时间过长	>10h	时间过长
124	1.7min	3s	时间过长	3min	时间过长
10	14s	2s	40min	10s	4min

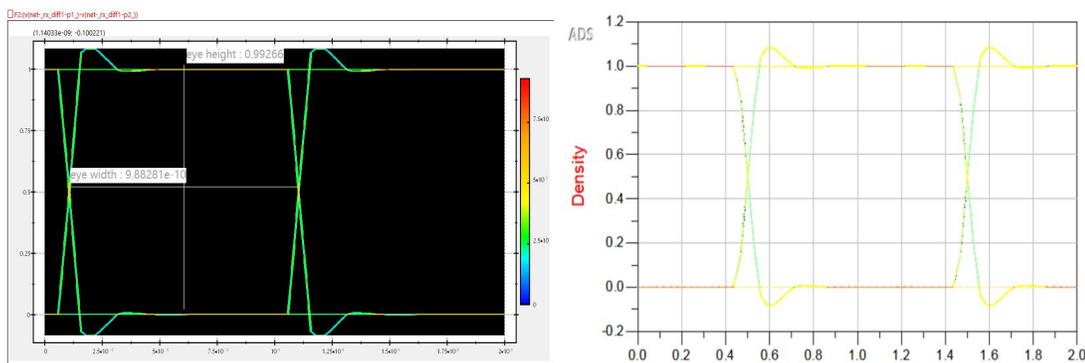
- BTD内置两种提取算法：2.5D及AI快速建模
- 支持**万级net模型**提取，速度超过主流商业工具
- 特有自研AI建模技术，速度提升超**3个数量级**
- **精度对标同类产品**，其中AI模型曲线与FEM Golden几乎重合



Chiplet DEMO-SI仿真性能

单差分对

	BTD	AD*
仿真时间	15s	24s
眼高(V)	0.995	0.996
眼宽(s)	9.992e-10	9.996e-10



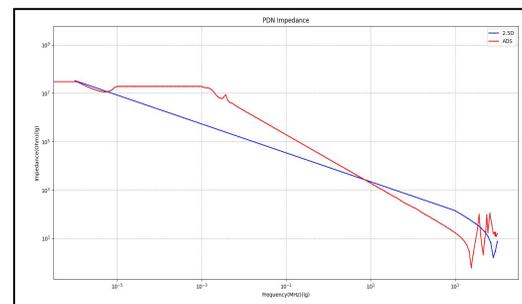
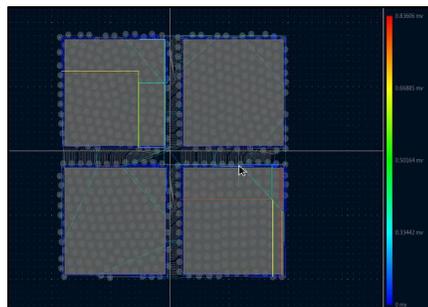
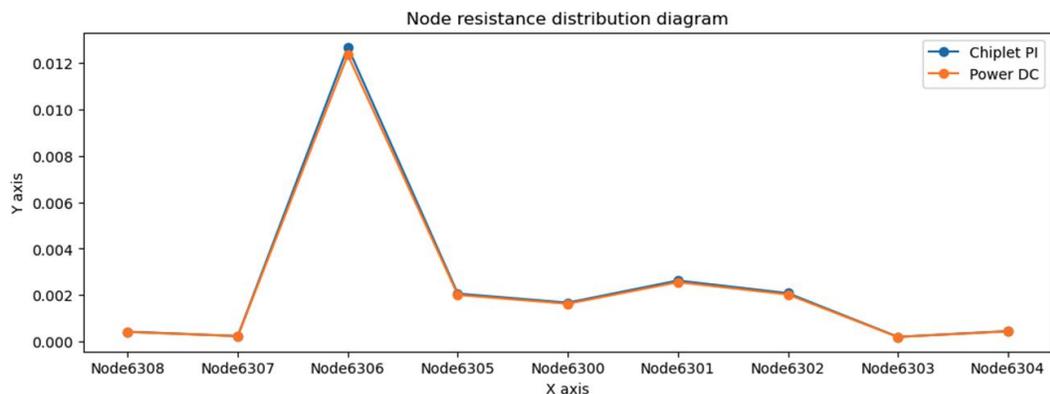
- ❑ 基于bit-by-bit的行为级眼图仿真
- ❑ 精度与AD*吻合, 速度更快

多die眼图并行仿真

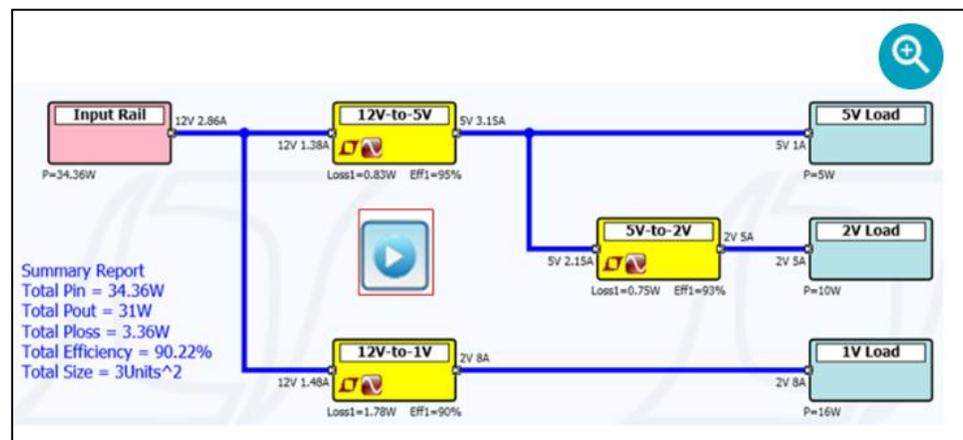
	BTD	对单核加速比
单核	826s	/
2核	442s	1.86X
4核	249s	3.32X
8核	150s	5.50X

- ❑ 64 die划分为112组并行计算眼图
- ❑ 良好并行加速效率

Chiplet DEMO-PI性能



测例	组件数量	IR Drop分析时间	
		BTD	Power**
4核 (453 nets)	24749	30s	315s
64核 (12502 nets)	50004	1158s	时间过长



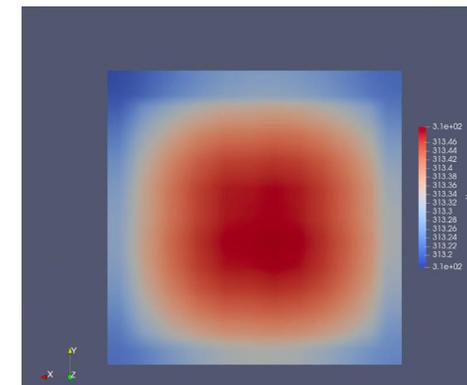
精度吻合商业工具，在大规模例子上有明显加速

Chiplet DEMO-Thermal结果

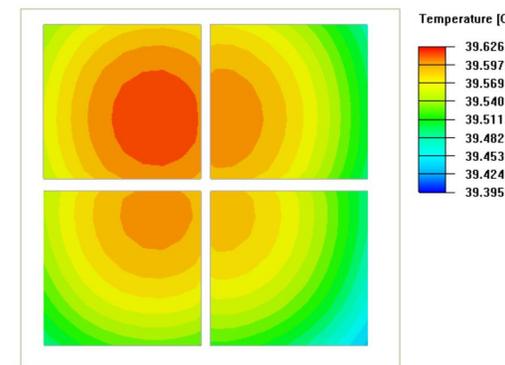
测试用例	电路类型	节点数	BTD 温度	Golden 温度	BTD 时间	Golden 时间	Speedup 时间
3Aldie	D2D	46	303K	304K	7s	10s	1.42
ZJU4die	D2D	1540	310K	312.75K	10s	16s	1.6
ZJU64die	D2D	12502	333K	330K	70s	4min	3.42

□ **精度对标同类产品**，仿真结果误差**小于1%**

□ 针对**大规模模型**仿真，计算效率有较大提升

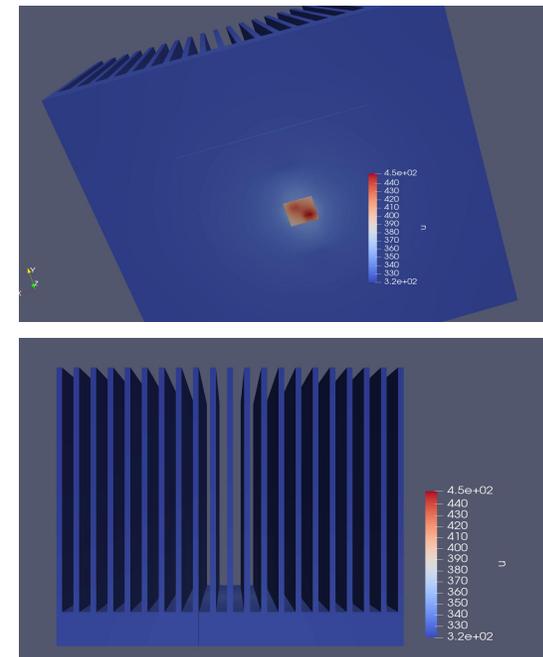
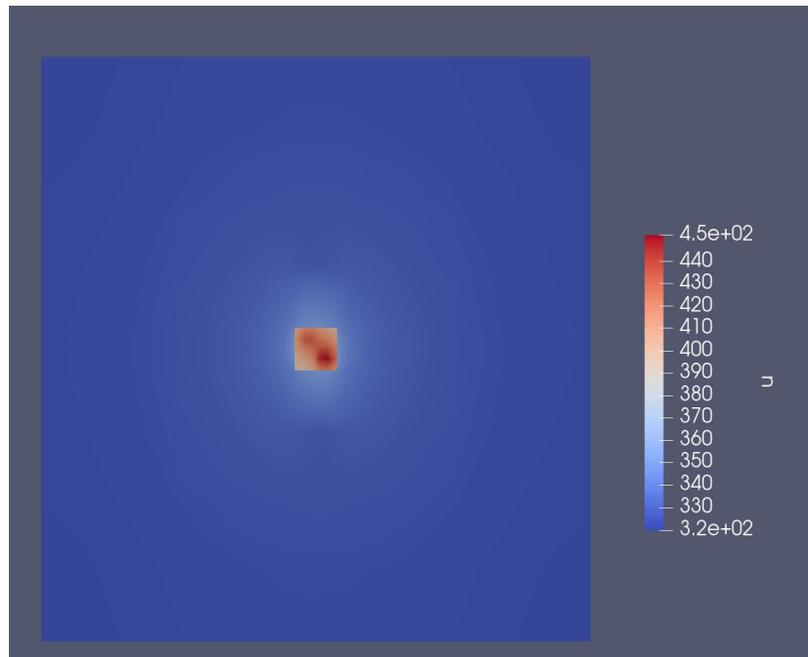
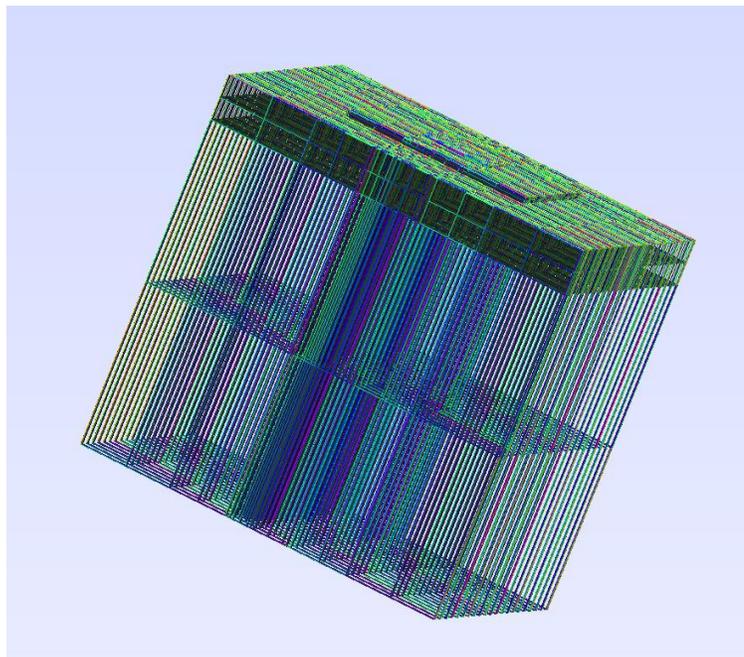


BTD 仿真结果: **310K**

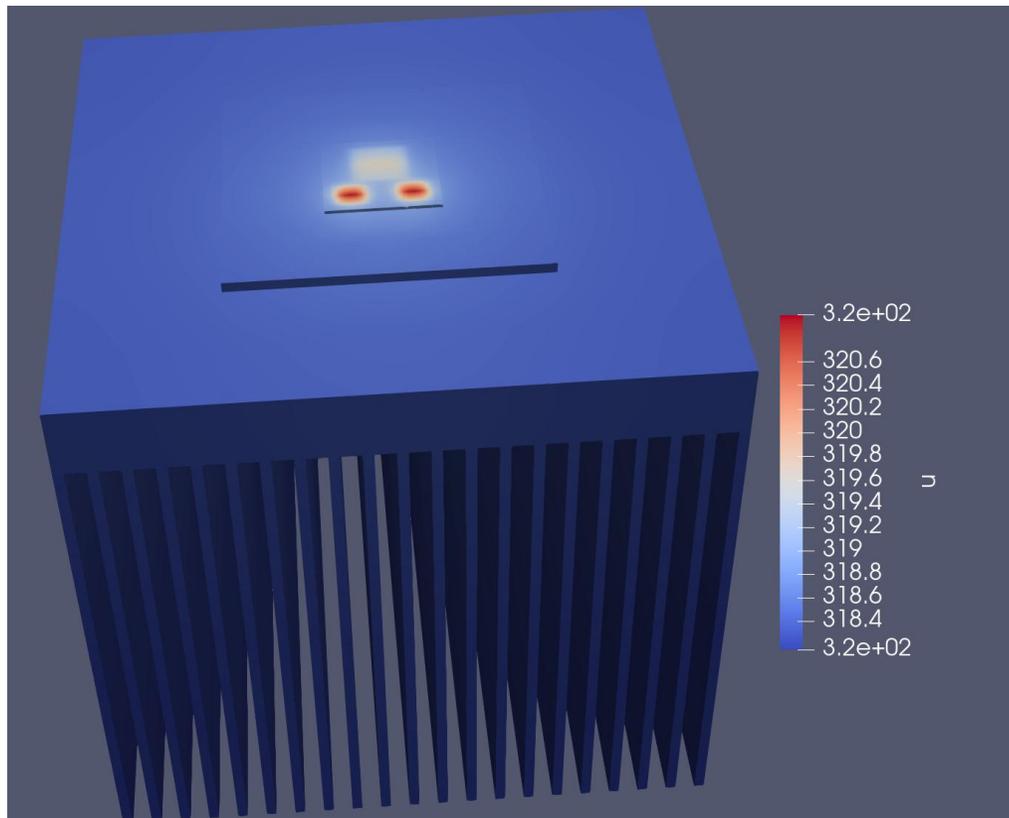


Golden 仿真结果: **312.75K**

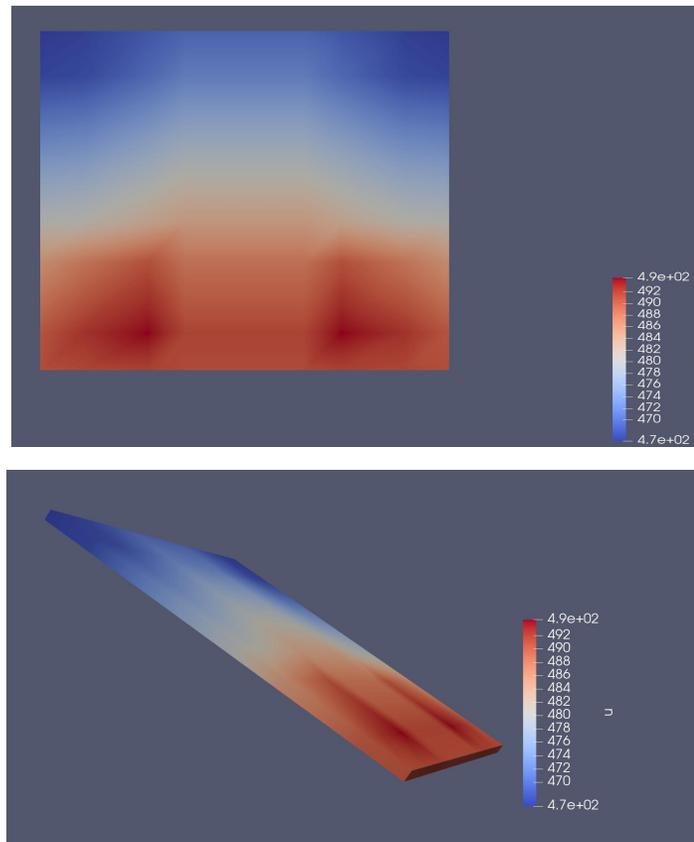
Chiplet DEMO-Thermal结果



Chiplet DEMO-Thermal结果



加散热器



无散热器

后摩尔时代，Chiplet设计与验证对于EDA工具提出了新的要求和挑战

1. **层次化建模**: Chiplet技术覆盖器件-芯片-封装-PCB等多个层次，需要层次化建模和PDK开发，能在早期对系统性能进行评估和优化
2. **大规模IO建模**: 数字Chiplet设计中往往包含大量I/O (bump, bond wire等)，需要专用技术进行自动化布局布线和超多端口网络进行提取和仿真
3. **高速互连技术**: Die间高速数据传输是Chiplet的一个特点，EDA工具需要支持高带宽、低功耗的互连技术，如SerDes等，同时提供相应的建模和仿真功能
4. **系统级模拟与验证**: 与传统的单芯片设计不同，Chiplet设计需要在系统级进行模拟与验证，确保所有Chiplet模块在整合后可以正常工作
5. **多物理分析**: 多个chiplet组合可能会导致复杂的多物理耦合问题，需要电热、电磁、应力等多物理分析功能

BTD后摩尔工具链 (BTD-Chiplet + BTD-ABS + BTDSim) 致力于为以上问题提供高效的解决方案!

联系信息



<公司官网>



<微信公众号>

联系我们: 021-54325973, 0755-86545120
136 7020 5084

官 网: www.btd.tech

邮 箱: sales@btd.tech

地 址: 深圳市福田区梅坳八路26新一代产业园1栋406
深圳市福田区福保街道槟榔道3号深港国际科技园D座1110
上海市浦东新区盛夏路608号1号楼207-208室
南京市浦口区高新技术开发区星火路14号



比昂芯 BTD
TECHNOLOGY

谢谢