



合见工软
UNIVISTA

助力Chiplet产业发展 —— 从规划设计到测试与签核的多芯粒 设计方法学

合见工软产品市场总监

崇华明

上海合见工业软件集团有限公司
Shanghai UniVista Industrial Software Group Co.,Ltd.



目录

Contents

多芯粒设计的需求发展

多芯粒规划与架构探索

系统级功能验证

多芯粒设计实现与签核

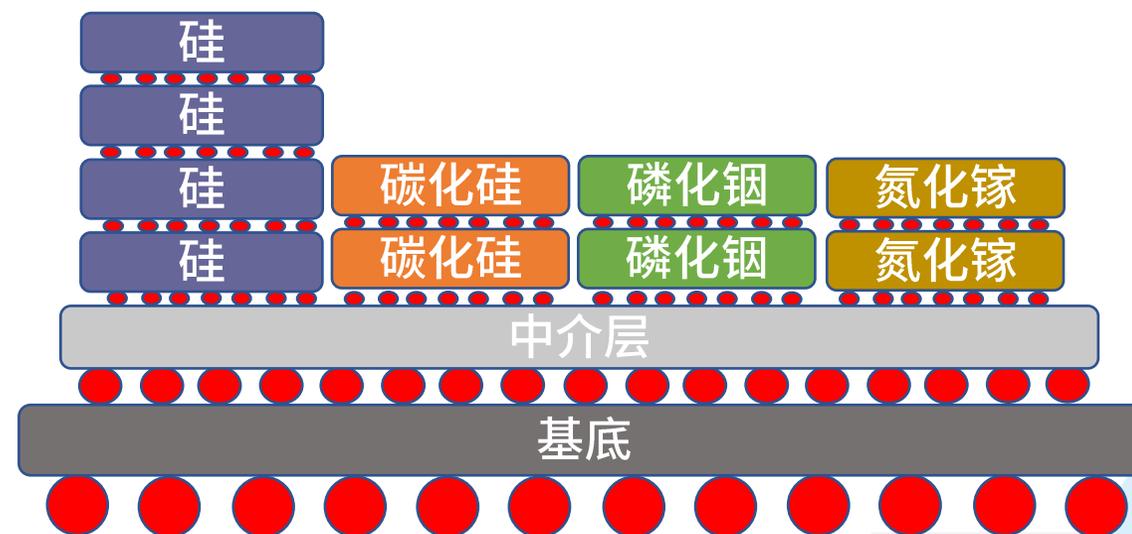
多芯粒的可测性设计

多芯粒互联设计：IP方案

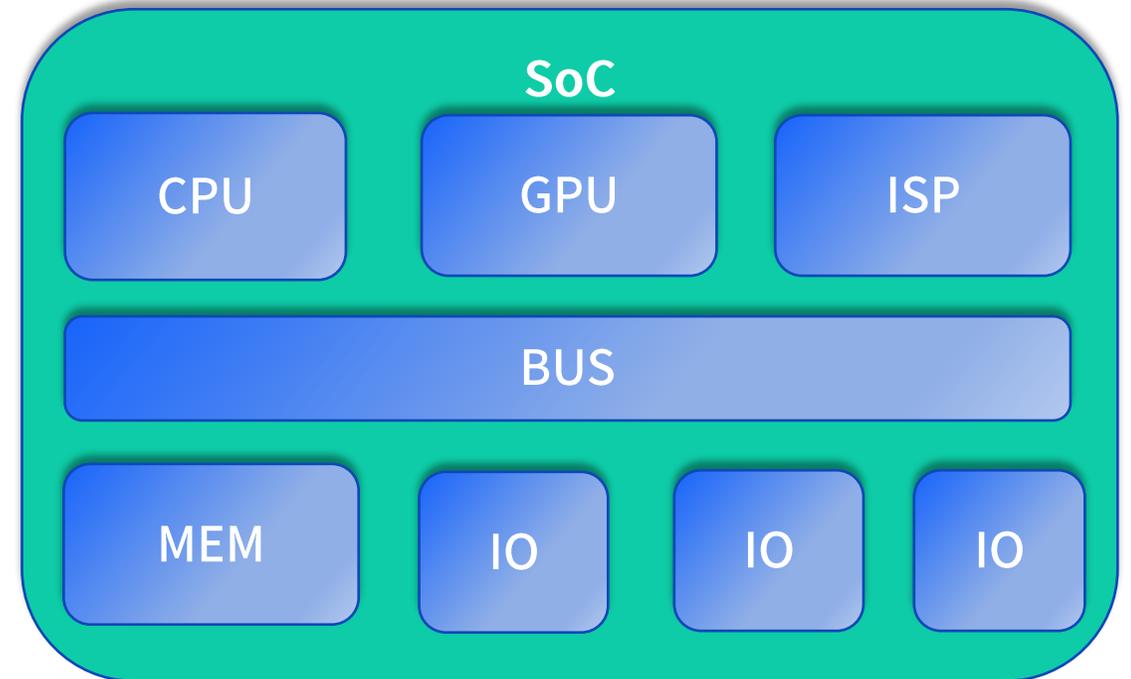
- 后摩尔时代，以Chiplet为代表的多芯粒设计方向成为重要技术发展趋势
 - ✓ 新兴技术和市场的带动下，大算力大芯片的需求旺盛，蓬勃发展
 - ✓ 先进工艺演进放缓，成本和代价高昂
 - ✓ Chiplet的显著优点包括：快速低成本的实现更高的集成度、更好的可维护性、更高的良率、更快的产品开发周期等
 - ✓ 不同的Chiplet可按需选择合适的工艺制程分开制造，分开组装，异构异质集成
- Chiplet的设计形态和重点任务：
 - ✓ 三种设计形态：自顶向下、自底向上、以及混合形态
 - ✓ Chiplet系统架构设计与验证
 - ✓ 多芯粒互连设计 – 高性能物理层接口，接口标准化，配置灵活性
 - ✓ 自顶向下的芯粒划分，不同芯粒之间的时序分配
 - ✓ 系统级功能验证
 - ✓ Chiplet-Interposer-Substrate 协同设计
 - ✓ 提供协同设计优化能力
 - ✓ 提供SignOff级别的协同设计检查
 - ✓ 系统级时序SignOff分析
 - ✓ 电源完整性, 信号完整性, 热, 机械应力等多物理场仿真
 - ✓ 2.5D/3D可测性设计

目标芯片规划

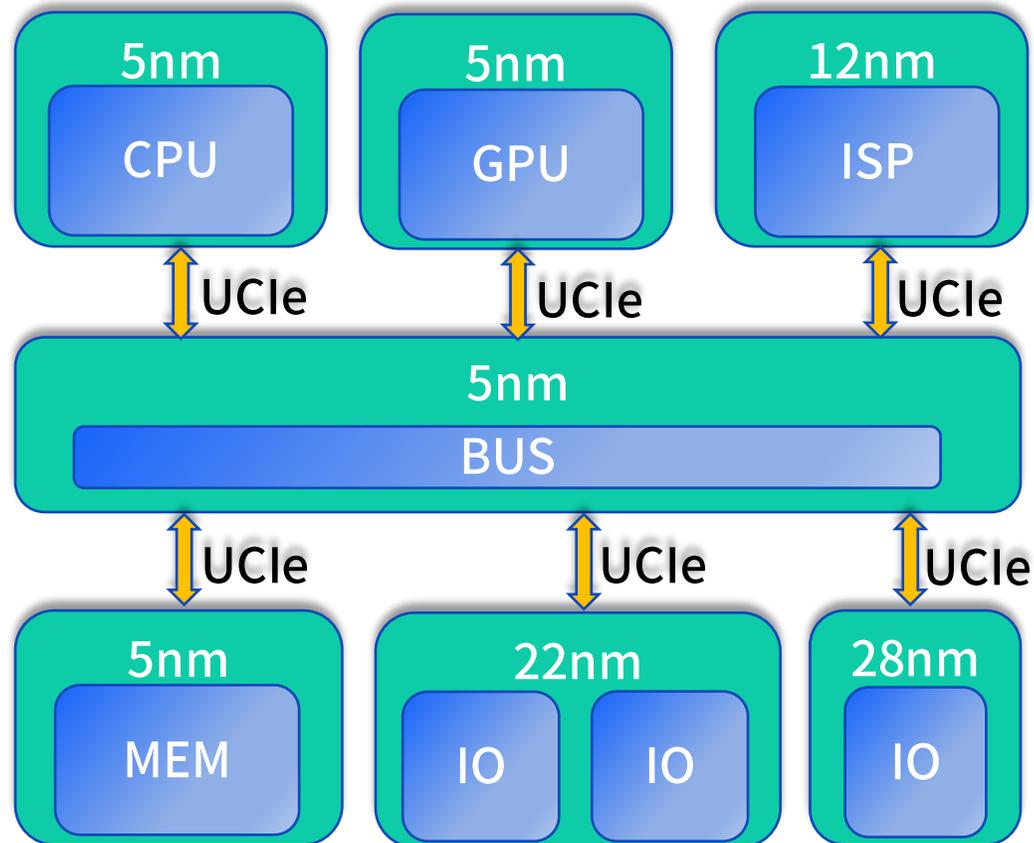
多芯粒设计实现EDA平台

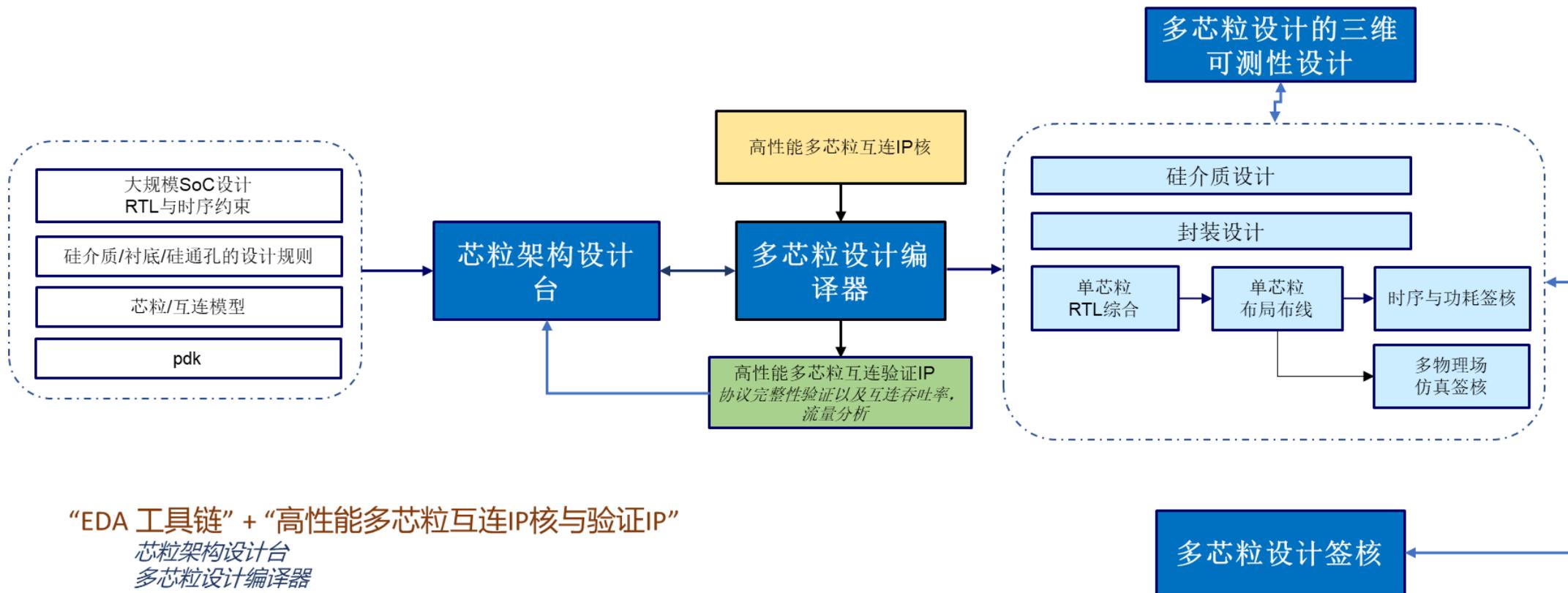


- 功能单元的模块化
 - ✓ Chiplet的即插即用：统一接口定义，可扩展性，功能模块间的解耦
 - ✓ 相对应的软件栈和编程模型的模块化集成
- 互连通信的复杂化
 - ✓ 设计空间的参数增加，意味着更丰富的通信层次：Die内，Die-to-Die（垂直，水平互联），板级等等
- 封装工艺，结构和成本的统筹规划
 - ✓ Chiplet集成结构需要在架构设计阶段规划：2.5D还是3D，不同的封装工艺（Interposer/FO/硅桥……）
 - ✓ 不同厂家的不同封装工艺的成本
- 物理实现的提前规划
 - ✓ 考虑互联带宽，延时，供电，散热，等多种因素，需要高层次的布局规划和建模分析能力



- 制订标准评审列表，管理Chiplet设计签核的标准流程和各个流程的所有相关数据
- 建立高层次Chiplet，互连IP等数据模型库
- 根据生态库，以及相应封装厂家，IP供应商等信息，估算不同目标的多芯粒设计的研发投入，设计与生产周期情况，一次性以及量产成本等等
- 基于芯粒模型/设计网表，互连IP库，Bump/Ball以及硅介质/连线，衬底/硅通孔的设计规则文件进行多目标驱动的多芯粒架构探索
 - 进行条件性分析，考察物理尺寸，性能，功耗等
 - 支持Model-based Fast mode
 - 应用Die-to-Die互连VIP/Xtor进行Chiplet互连协议分析检查，吞吐率分析等



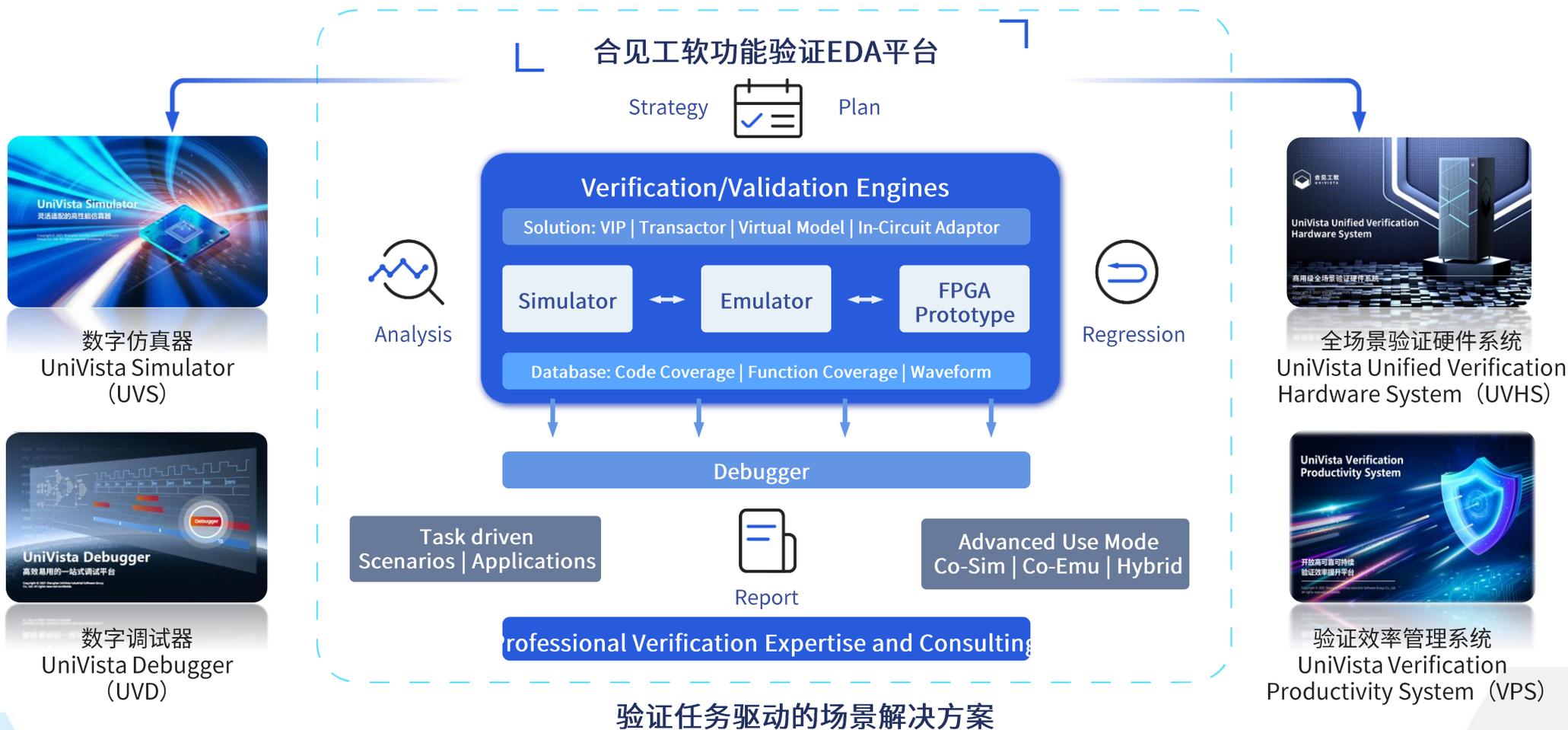


“EDA 工具链” + “高性能多芯粒互连IP核与验证IP”

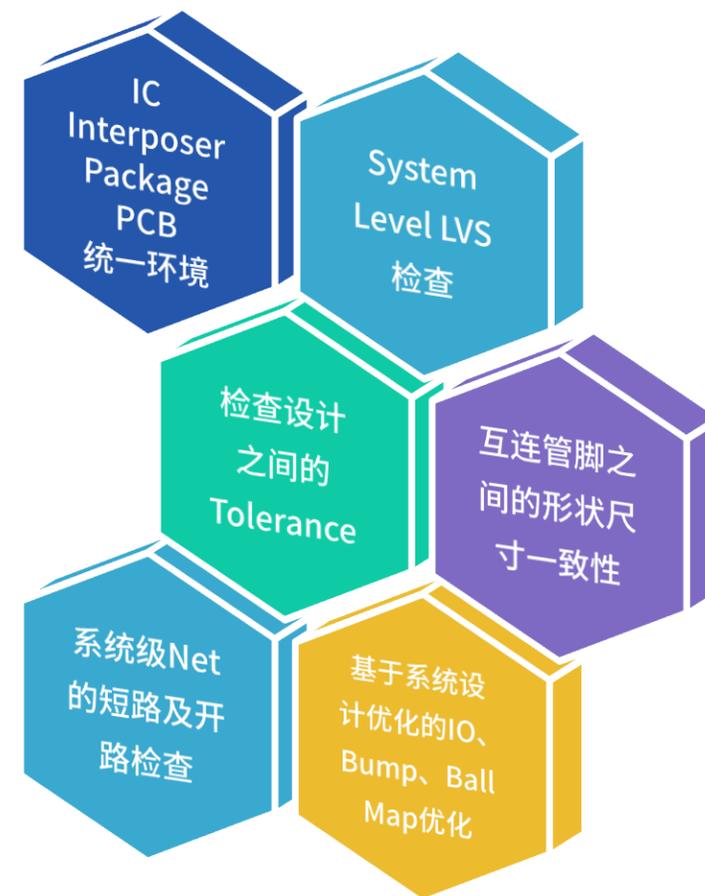
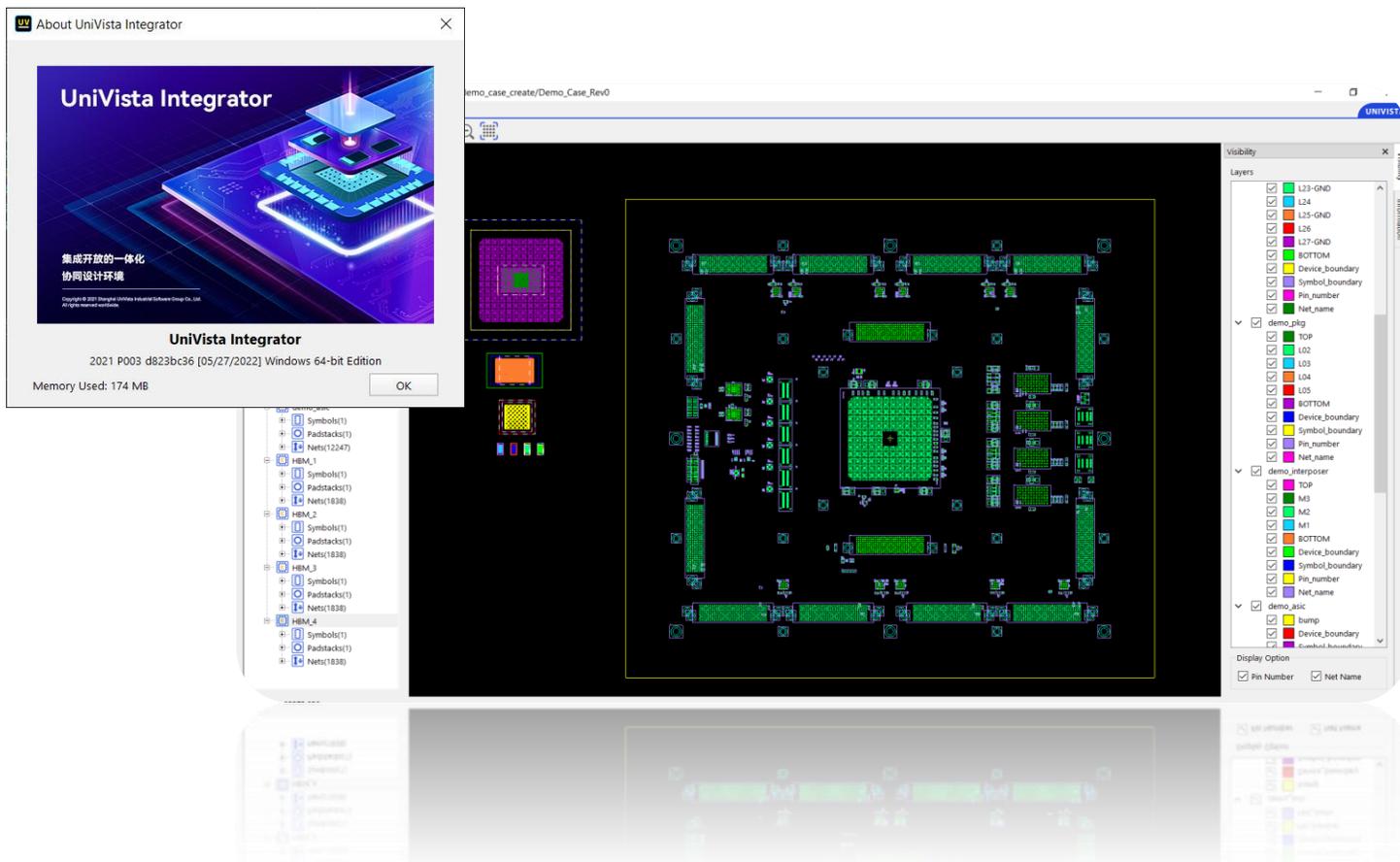
芯粒架构设计台
多芯粒设计编译器
多芯粒设计签核
多芯粒设计的三维可测性设计

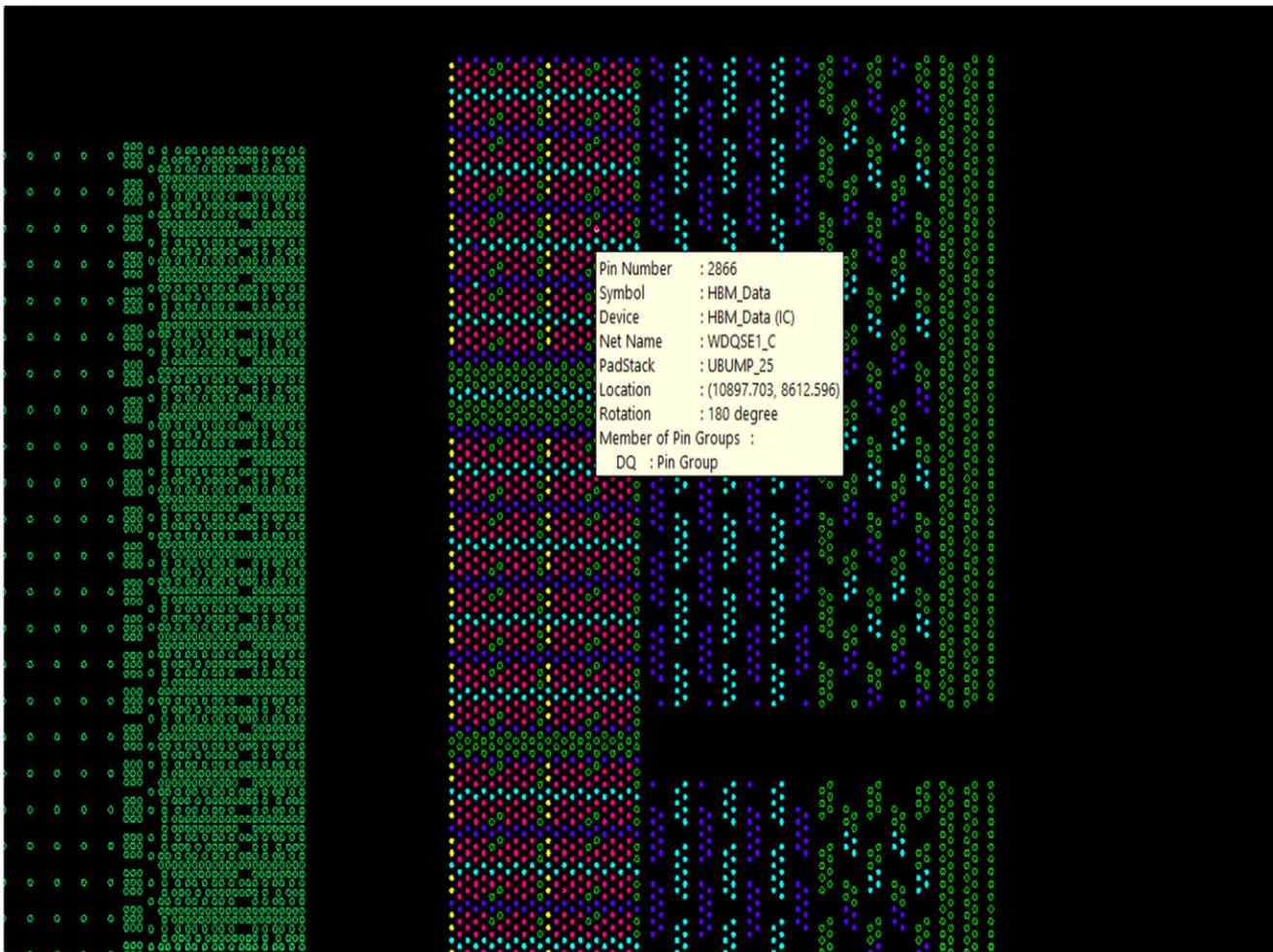
多芯粒设计的基本特征：设计规模大、功能集成度高，场景复杂多样

高性能，大容量，健壮性，灵活可扩展架构 | 确保验证的可预期性，效率提升，质量保证，以及多样化需求



面向Chiplet的设计签核工具 UniVista Integrator (UVI)





➤ 高性能统一的设计界面

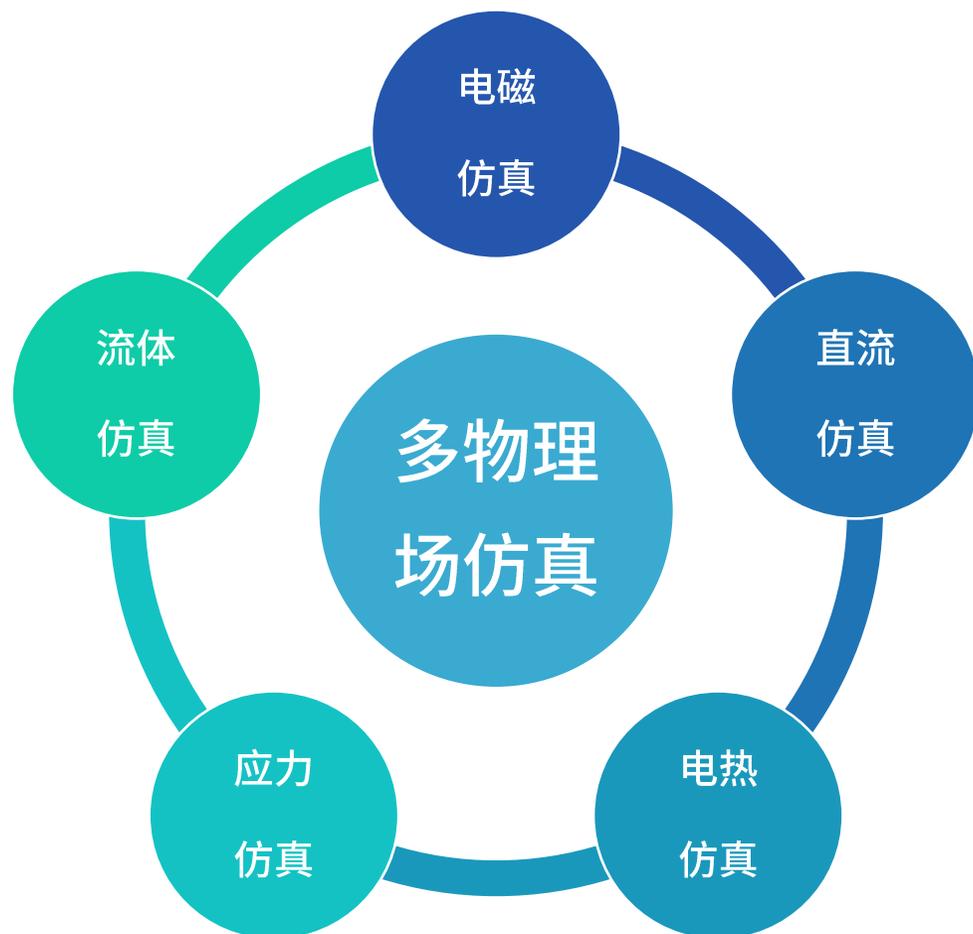
- IC、Interposer、Package、PCB设计数据
- 支持设计数据在工具里进行设计操作
- 高性能、高精度的图形显示

➤ 高效严谨的系统级LVS设计检查

- 互接管脚 & 网络互连检查
- 大大缩短设计间互连检查
- 直观高效定位设计问题位置

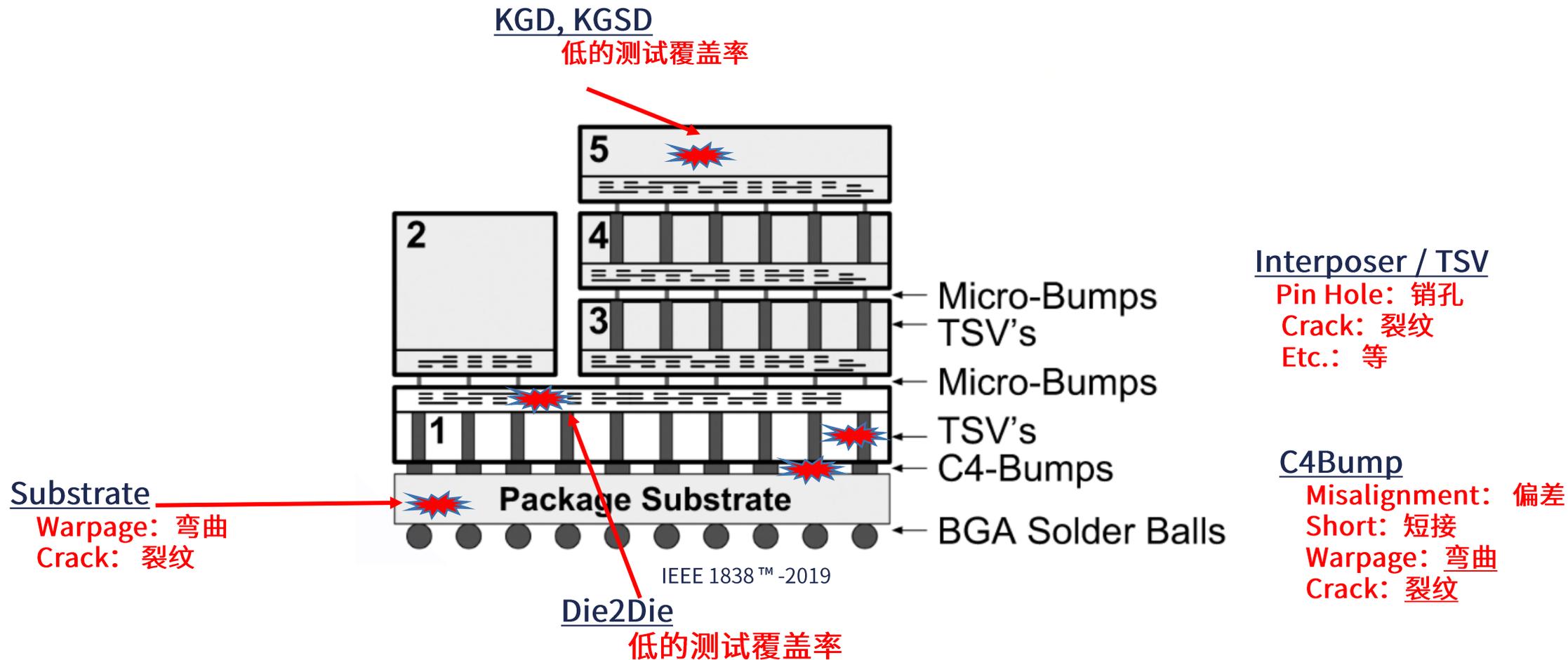
➤ 简捷直观的系统互连设计(Co-Design)

- 基于系统级的Ball(Bump) Map设计及优化
- IC、PKG、PCB设计协同数据的导出

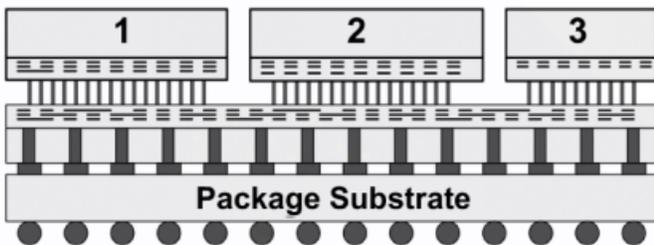


- Chiplet中芯粒互连密度高
- Chiplet中芯粒传输速率快
- Chiplet中供电情况复杂
- Chiplet中热耦合情况复杂
- Chiplet中堆叠灵活，应力情况多样
- 多物理场效应互相耦合关联

Chiplet 给可测性设计带来的挑战 – 将引入更多的失效机制

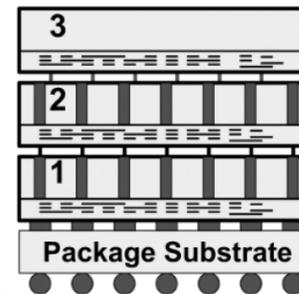


Chiplet 给可测性设计带来的挑战 – 复杂的结构设计和向量生成



IEEE 1149.1/1500/1687™

2.5D



IEEE 1838™ -2019

3D

测试访问机制

- 可以通过封装后的管脚访问各个芯粒

- 只能通过基层芯粒的管脚访问

测试需求和方法

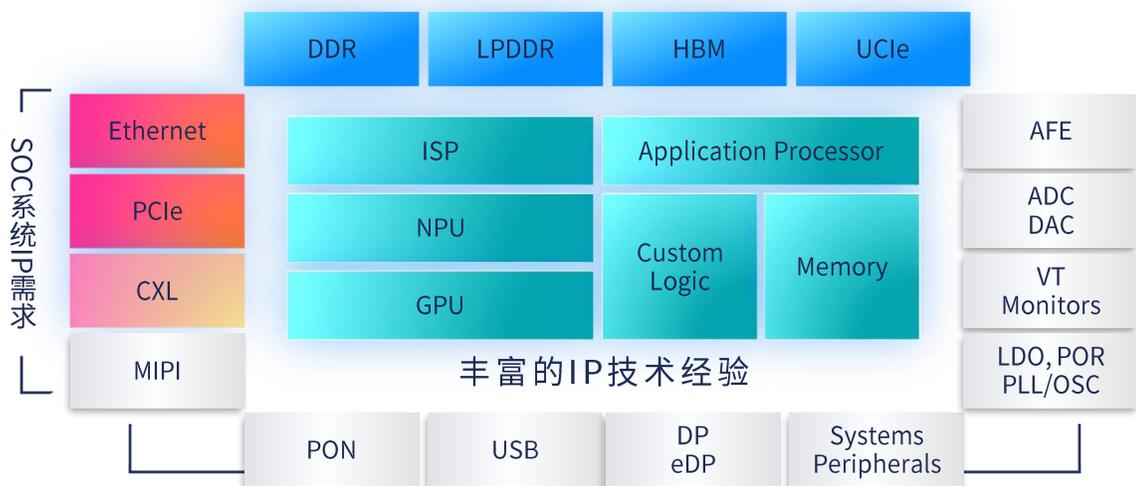
- 单芯粒测试以及芯粒互连 (Die2Die) 测试
- 基于JTAG1149.1/1500 协议，将TAP 按照菊花链或者广播形式连接，以访问不同的芯粒
- 可以借助封装级的BSDL 完成板级测试需求
- 基于IJTAG 1687 完成设计和测试的自动化。基于IJTAG ICL/PDL 完成Die 到package的pattern retargeting

- 单芯粒测试(KGD)以及多芯粒互连测试
- 多芯粒的测试配置序列需要从基带的极少数的测试管脚移入
- 设计极少测试管脚的新型扫描测试网络
- 基于P1838开发新的IP设计和测试协议标准，例如：SCM(Serial Control Mechanism),DWR(Die Wrapper Register),FPP(Flexible Parallel Port)等

测试参考流程

- 堆叠前(pre-bond)测试: TAP完整性测试 -> Boundary scan 测试 ->Memory BIST 测试 ->ATPG 测试
- 堆叠后(post-bond)测试: 使能被测芯粒 -> TAP完整性测试 -> Boundary scan 测试 -> Memory BIST 测试 ->ATPG 测试
- Pattern retargeting: TAP完整性测试, Memory BIST 测试以及无组合逻辑通路的ATPG retargeting

IP方案：布局高性能IP业务和定制化设计解决方案



控制器IP
Ethernet Controller
PCIe5/6

丰富的高速接口设计经验
DDR5/LPDDR5
HBM3
UCIe
GDDR6
PCIe5
USB
SATA
25G-KR
DP/eDP
C/DPHY

封装设计能力
高速信号的SI/PI分析
2/2.5D封装的设计能力

- 基于DDR5/LPDDR5的子系统定制服务
- 基于HBM3的系统级设计
- 基于UCIe的标准封装整体设计方案
- 基于UCIe和HBM3的先进封装设计方案
- 基于UCIe的IO Die和跨Die的AXI低延迟互联
- 800G Ethernet/FlexE/Interlaken整体IP方案
- PCIe5/6, CXL2/3的子系统
- 高速接口的定制开发

感谢观看



关注合见工软