



第三届中国互连技术与产业大会



DeToolIC
-甬芯德图-

集成芯片Chiplet 信号/电源完整性 (SI/PI) 及多物理场仿真EDA技术

宁波德图科技有限公司

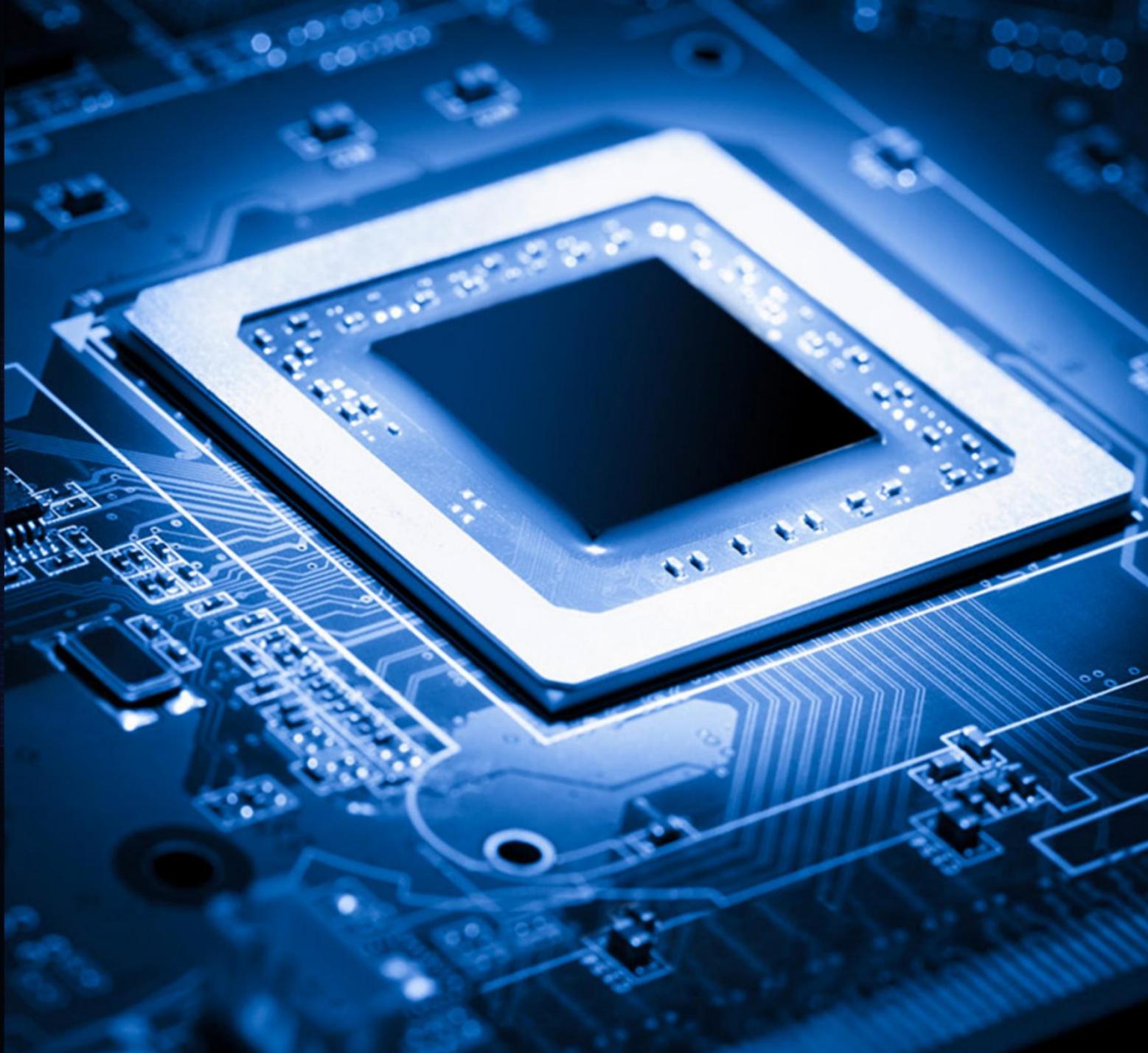
蒲波 博士 创始合伙人 | 技术副总经理

2023.12 无锡

目录

CONTENTS

- 集成芯片Chiplet趋势
- EDA的发展趋势
- Chiplet EDA的挑战
- Chiplet SI/PI技术及多物理场仿真

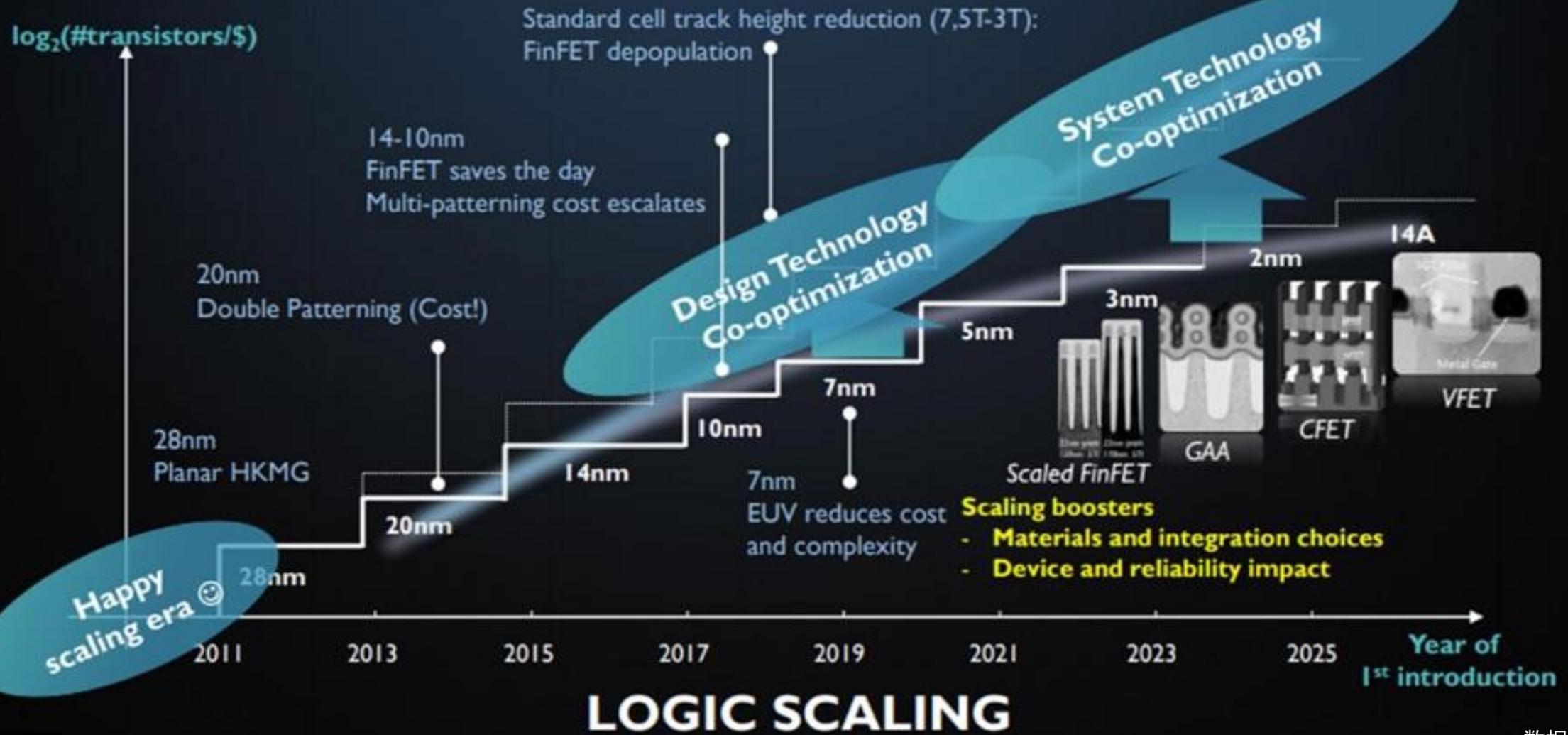


01

摩尔定律演进背景下的 Chiplet 技术趋势

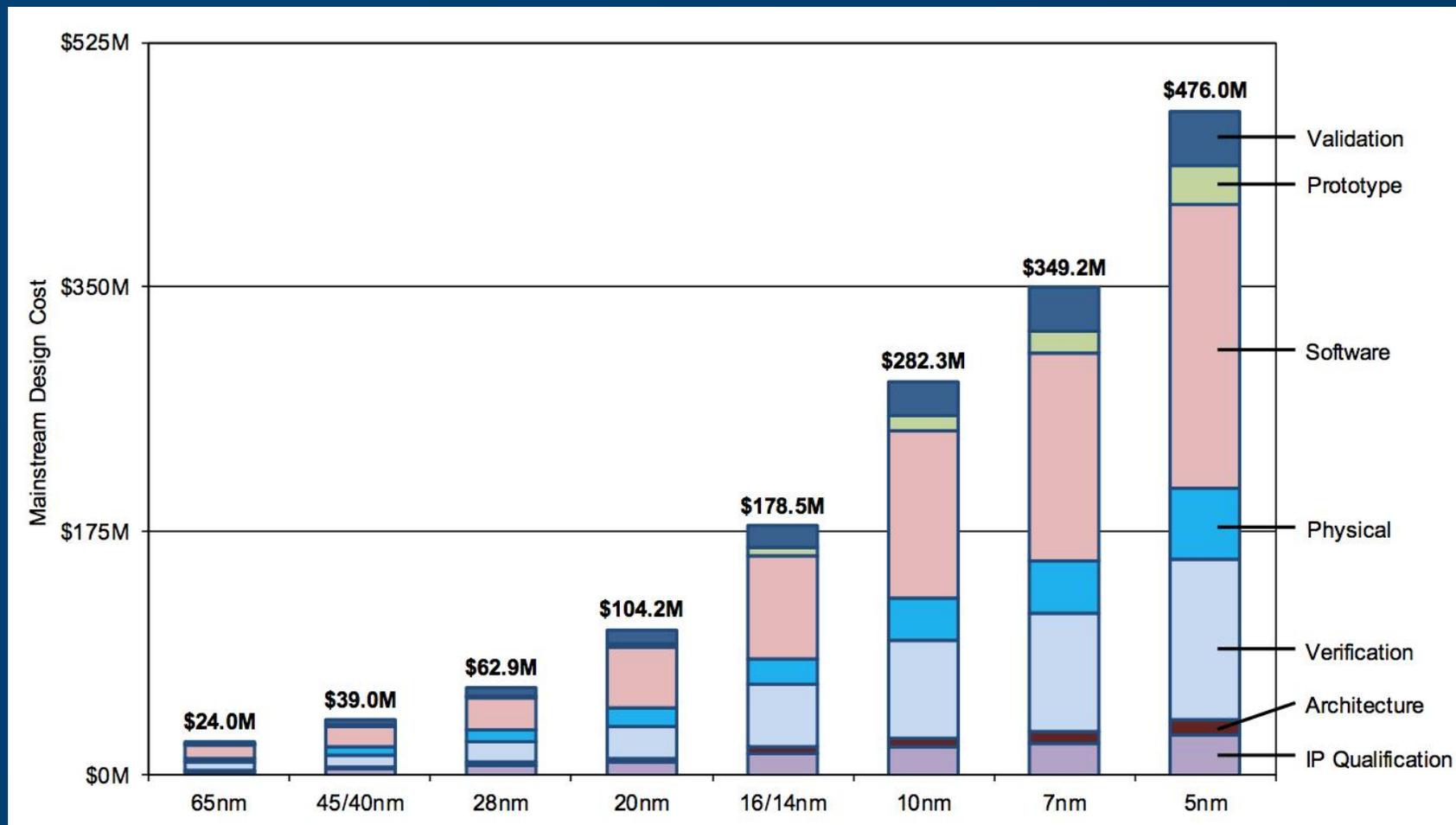
摩尔定律的演进

DIMENSIONAL SCALING CHALLENGES DEVICE ARCHITECTURE & MATERIAL INNOVATION



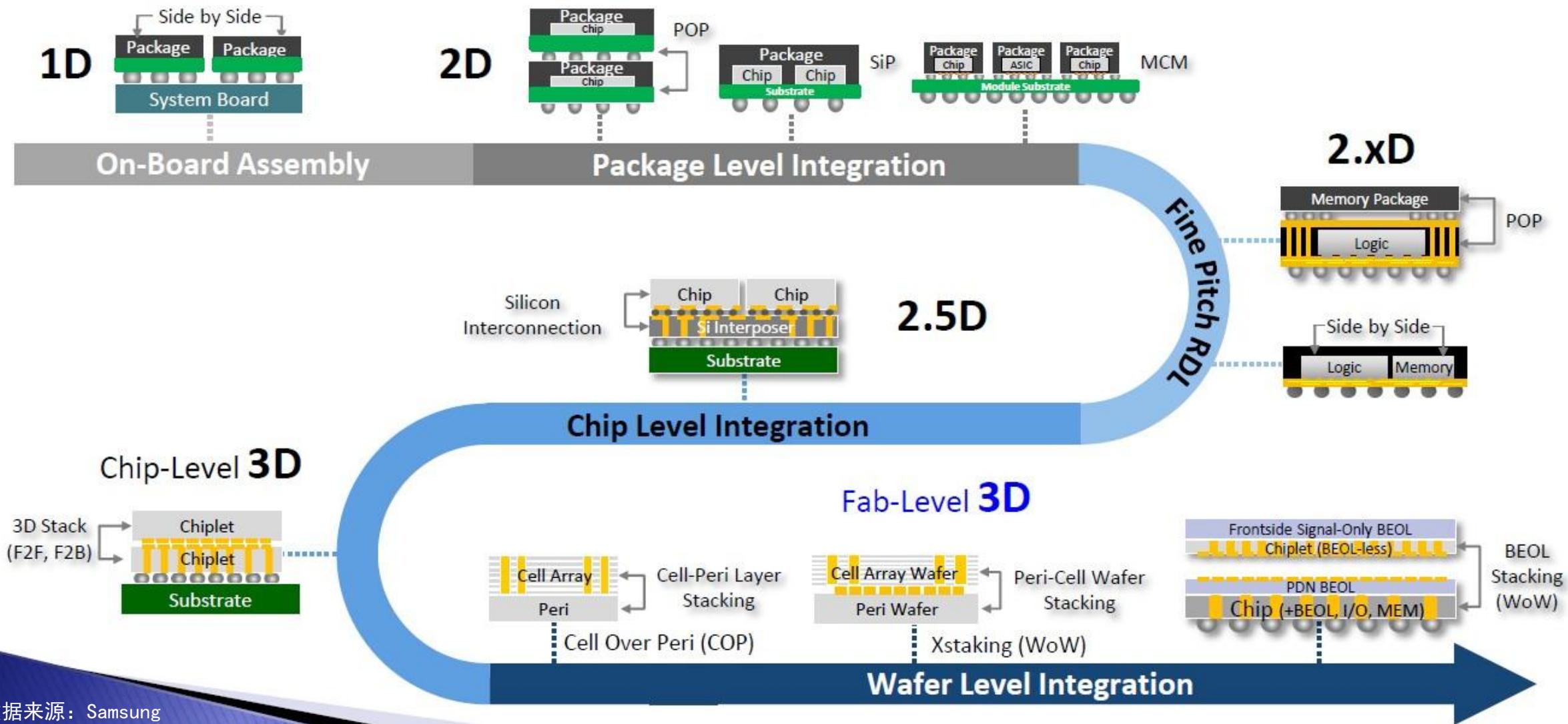
芯片制程的成本趋势

- ◆ 在3纳米节点，芯片的设计成本将高达 6.5亿美元；
- ◆ 制程继续微缩→ 昂贵的设计成本+芯片良率下降→ Chiplet（芯粒）技术+先进封装技术



数据来源：IMEC

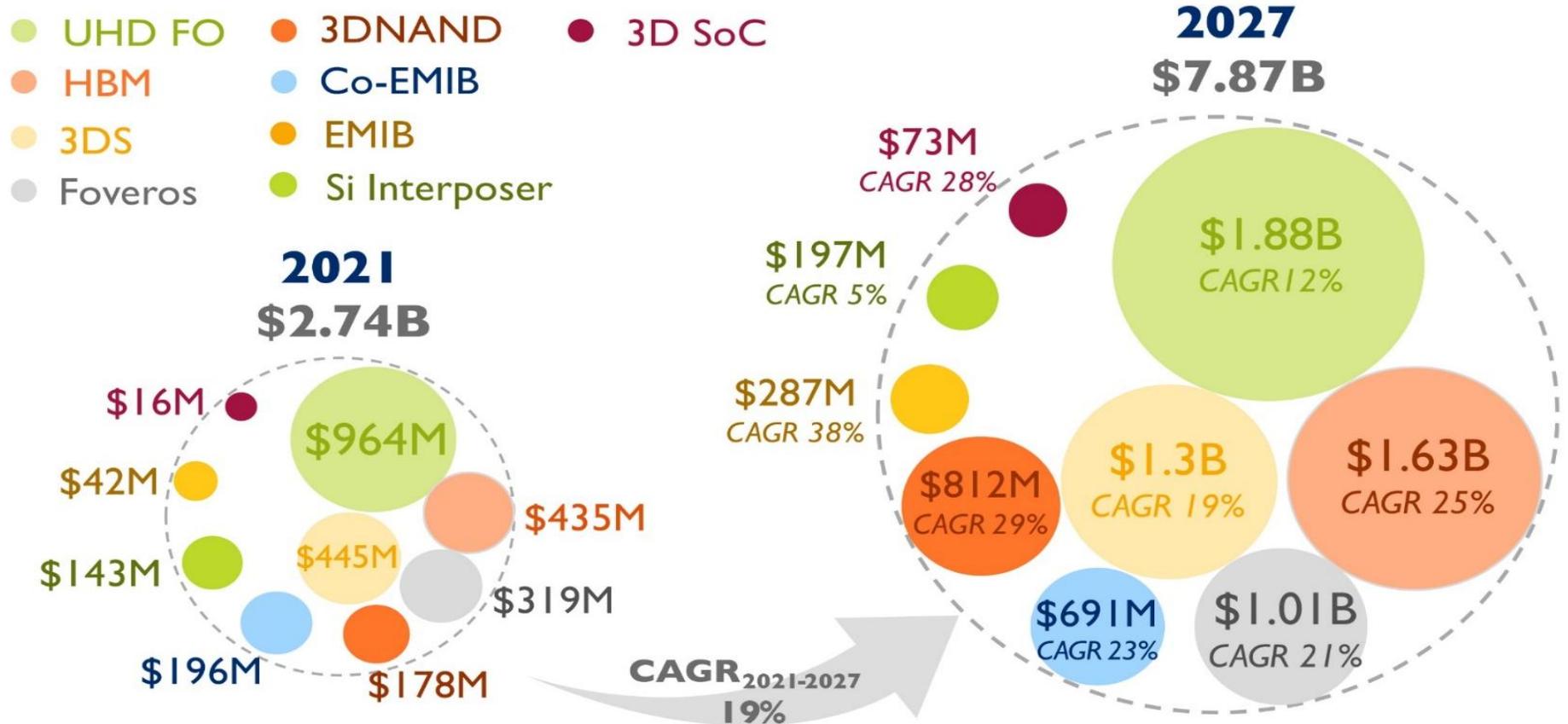
先进封装-后摩尔时代重要角色



先进封装成为高端市场增长引擎

2021 - 2027 high-end performance packaging market size by technology

(Source: High-End Performance Packaging 2022 – Focus on 2.5D/3D Integration report, Yole Développement, 2022)



参考:

先进封装年化复合
增长 19%

>>

SiP (System in
Package) 市场年
化复合增长 5%

工欲善其事，必先利其器

——《论语》

02

EDA的发展趋势

EDA发展历史

EDA技术是计算机科学、电气工程学、物理学、化学、应用数学等跨领域合作发展的成果。

第一阶段

20世纪70年代中期：
计算机辅助设计（CAD）时代

设计工程自动化来代替手工绘图

第二阶段

20世纪80年代：
计算机辅助工程（CAE）时代

主要对设计电路的功能检测问题进行处理

第三阶段

20世纪90年代后：
电子系统设计自动化（EDA）时代

真正实现了设计的自动化

第四阶段

现代EDA时代

EDA技术在半导体设计、制造封装领域广泛应用

EDA发展现状

EDA位于产业链顶端，附加价值极高。行业高壁垒体现在对复合背景的顶尖人才的需求以及和Fabless、晶圆厂等产业链环节的协同。先发优势明显

2015-2021年间全球EDA市场规模稳健增长

EDA软件的主要功能

功能实现

性能提升



EDA市场份额图

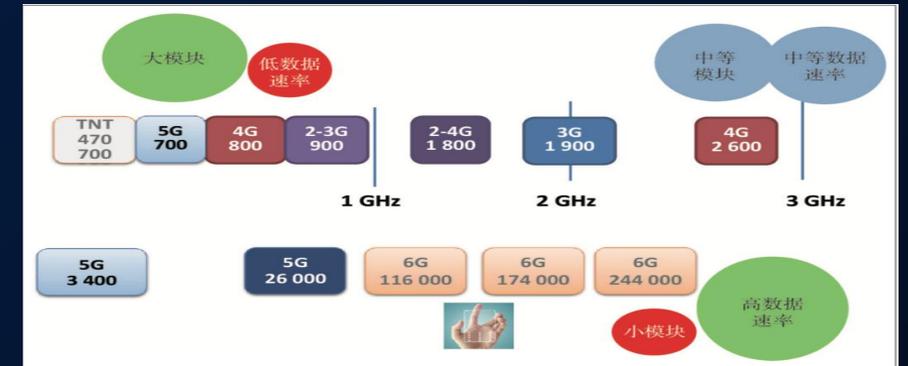
EDA的挑战和机遇

国内外3D、2.5D的颠覆性封装技术，加大了确认芯片可靠性的难度，在EDA设计和仿真验证上，都有别于传统的平面芯片集成。

3D封装是指在不改变封装体尺寸的前提下，在同一个封装体内于垂直方向叠放两个以上芯片的封装技术。3D封装可采用凸块或硅通孔技术。2.5D封装是在基板和芯片之间放一个硅中间层，这个中间层通过TSV连接上下部分。

5G和6G频率的拓宽暴露了集成电路兼容性的新问题。急需对现有EDA仿真进行实质性频率带宽扩展。

目前，IC级EMC的典型频率高达6GHz。但是，由于毫米波5G工作在27GHz，而6G工作在100~200GHz。



新制程、三代半导体、和硅基芯片中使用的金属层、绝缘层新材料都要求EDA能够精准建模和仿真。

新材料、制程降低，芯片迭代，封装方式的改变，速率的提升，给电磁发射、电磁敏感度、信号完整性和电源完整性带来挑战。主要体现在信号线路、电源线路的错综复杂带来的干扰与供电问题。

03

Chiplet EDA的挑战

IR-drop和电流密度仿真的必要性

- The overall IR-drop from chip to package = 142.60 mV > $\pm 10\% * V_{dd}(0.9V)$
- Total IR Drop = 79.05% from interposer PDN + 20.95% from the chiplet IC PDN.

合理控制 Interposer的 IR-drop对于整个芯片系统供电至关重要

多物理场仿真的必要性

以2.5D/3D Integration巨大推动力的HBM（High Bandwidth Memory）为例：

◆ Chiplet对高温的敏感性将导致（电热仿真/电热力仿真的必要性）：

- HPC/AI服务器中昂贵的风冷和液冷系统
- 可靠性制约了Chiplet(e.g. HBM)的市场规模增长

集成芯片Chiplet面临的挑战

04

信号和电源完整性
及多物理场分析

前处理渲染模块

◆ 导入和渲染能力：

- Si-interposer + RDL + TSV
- 数量庞大的via阵列+高集成度金属线

2D View

ubump side

TSV

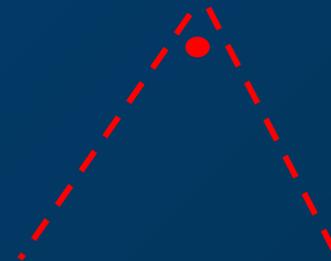
C4 Bump side

3D View

前处理：需要同时支持二维版图导入，三维结构渲染和前处理界面，便于用户在GUI中直观查看结构和追加设置端口，编辑。

Chiplet建模与信号完整性

- ◆ Chiplet 建模：芯片的复杂度 (规模庞大via阵列) + 多尺度 (1um BEOL→100 um TSV)



Chiplet建模与信号完整性

- ◆ 信号完整性：精准的等效模型，可以节省仿真时间，缩短开发周期。

Chiplet建模与信号完整性

- ◆ 信号完整性：基于等效模型，可以揭示每部分参数对Chiplet信号完整性的影响



Chiplet建模与信号完整性

- ◆ 信号完整性：基于等效模型，可以优化几何和材料参数，实现信号完整性的目标设计。

Optimization to achieve a better insertion loss !

Chiplet 电源完整性

- ◆ 电源完整性：Interposer 电源网络起到芯片和芯片/封装间的电源传输的作用

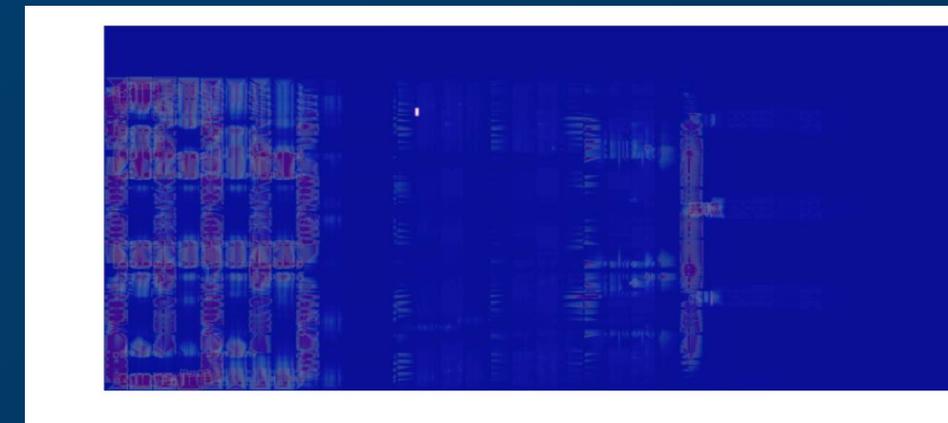
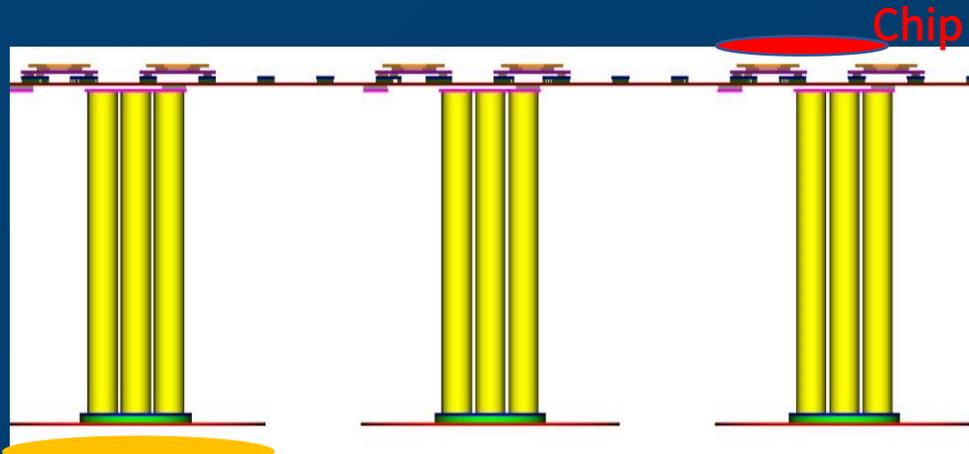
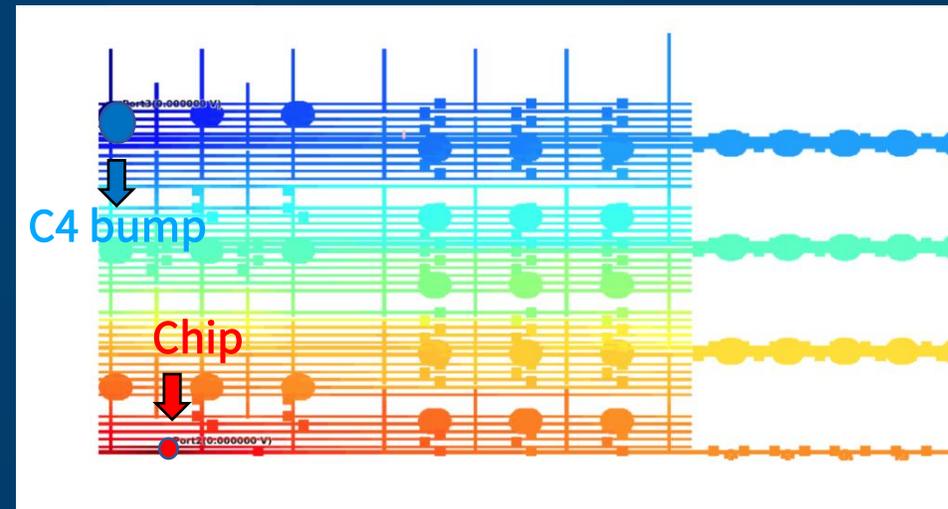
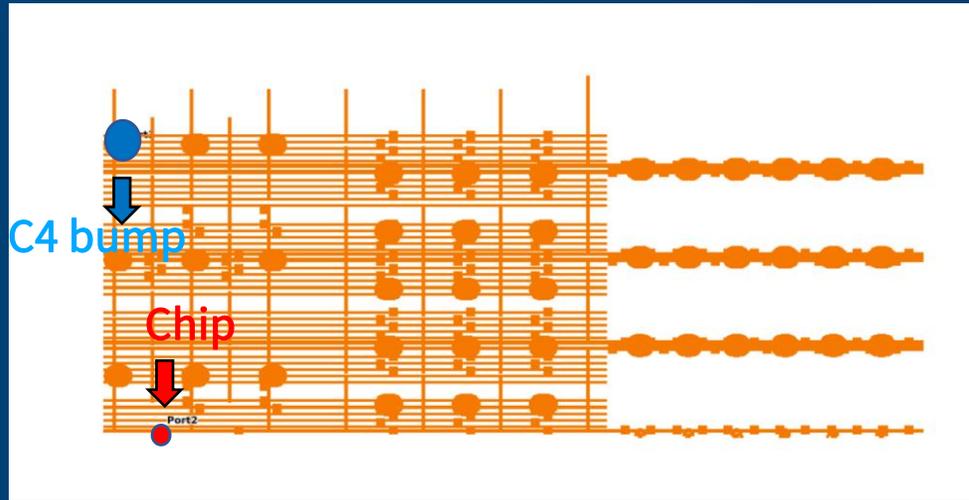
Color by Layer

Color by Net

Select Power
Net

Chiplet 电热耦合仿真

- ◆ 信号完整性：基于等效模型，可以揭示每部分参数对Chiplet信号完整性的影响

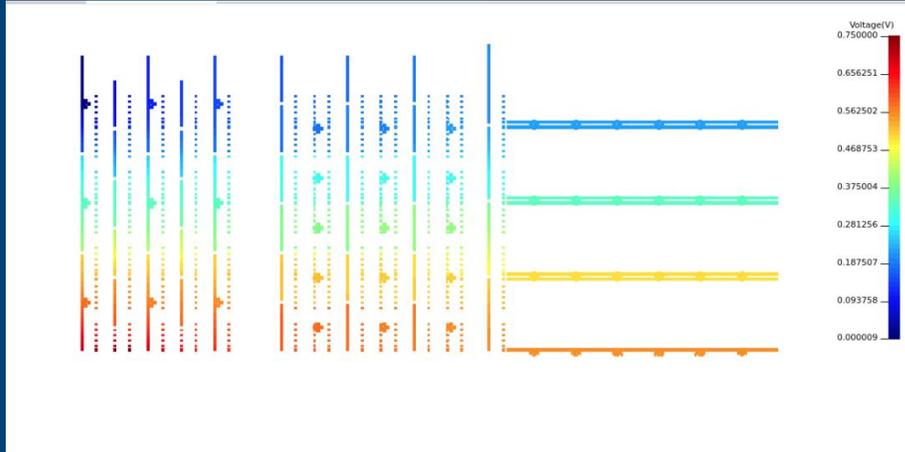


C4 bump

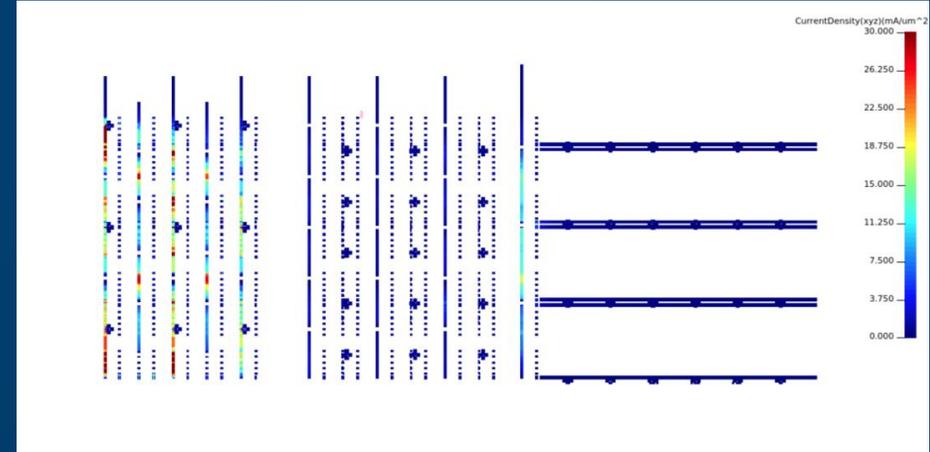
包含介质温度分布 (透视图)

Chiplet 电热耦合仿真

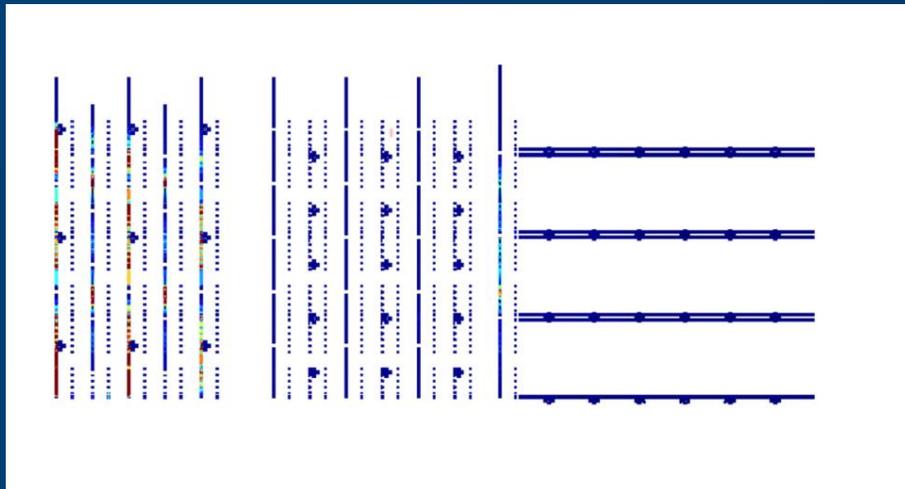
◆ 电热耦合仿真结果：M1层



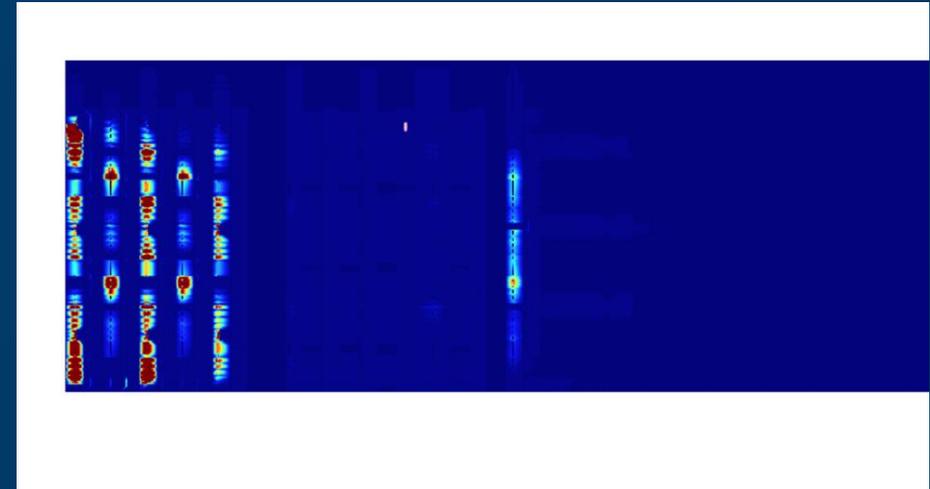
IR Drop



Current Density



Power Density



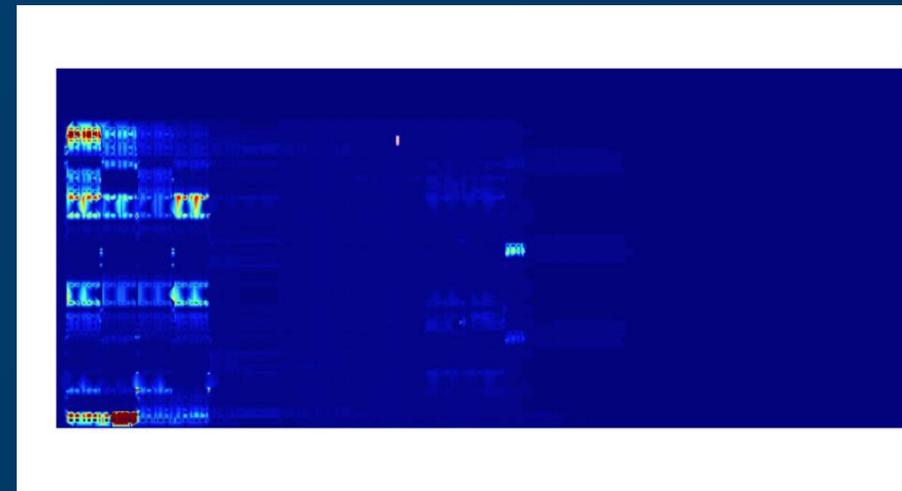
Temperature

Chiplet 电热耦合仿真

◆ 电热耦合仿真结果：M2层

IR Drop

Current Density



Power Density

Temperature

Chiplet 电热耦合仿真

◆ 电热耦合仿真结果：M3层

IR Drop

Current Density

Power Density

Temperature

结论

- ◆ 摩尔定律明显的放缓趋势和先进制程高昂的开发成本，使得**集成芯片 (Chiplet) 技术**，成为学术界和产业界关注的热点。
- ◆ 芯片在2.5维和3维方向上的集成，提升了系统的复杂度，会带来**高速信号的串扰**，导致**电源供电风险增加**，高集成芯片间的**电磁干扰、散热和可靠性问题**，对于传统的芯片设计和EDA仿真技术路线是一个巨大的挑战。
- ◆ 精准的**宽频带等效电路建模**，能够指导Chiplet信号完整性的优化设计。
- ◆ **Interposer或RDL**的增加，带来了新的电源完整性问题。**Chiplet的IR-drop**对于整个芯片电源供电至关重要。
- ◆ Chiplet的**多物理场（电-热-力等）仿真分析**，是确保系统性能的有效手段。

谢谢
恳请各位指正

蒲波 pubo@detooltech.com