

# 高速Chiplet接口IP的发展与挑战

芯耀辉科技 周坤  
2023/12/8



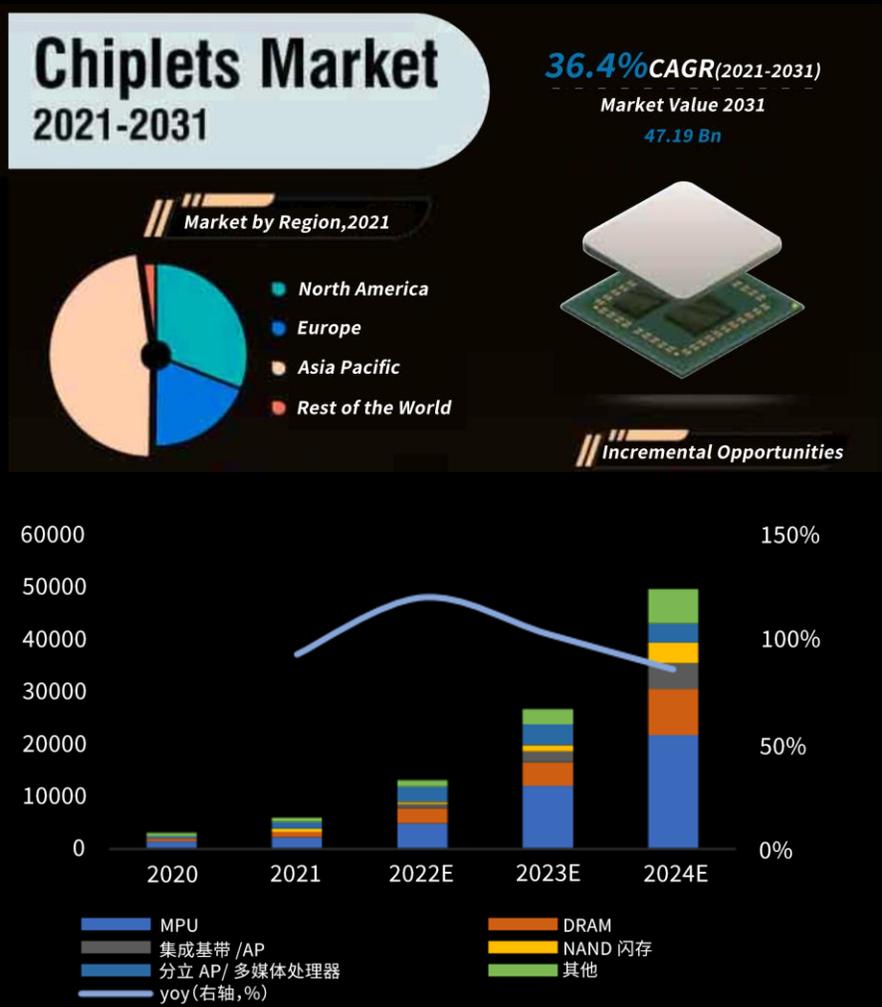
# 目录

- 市场发展趋势
- Chiplet技术的发展挑战
- 芯耀辉的D2D IP产品布局

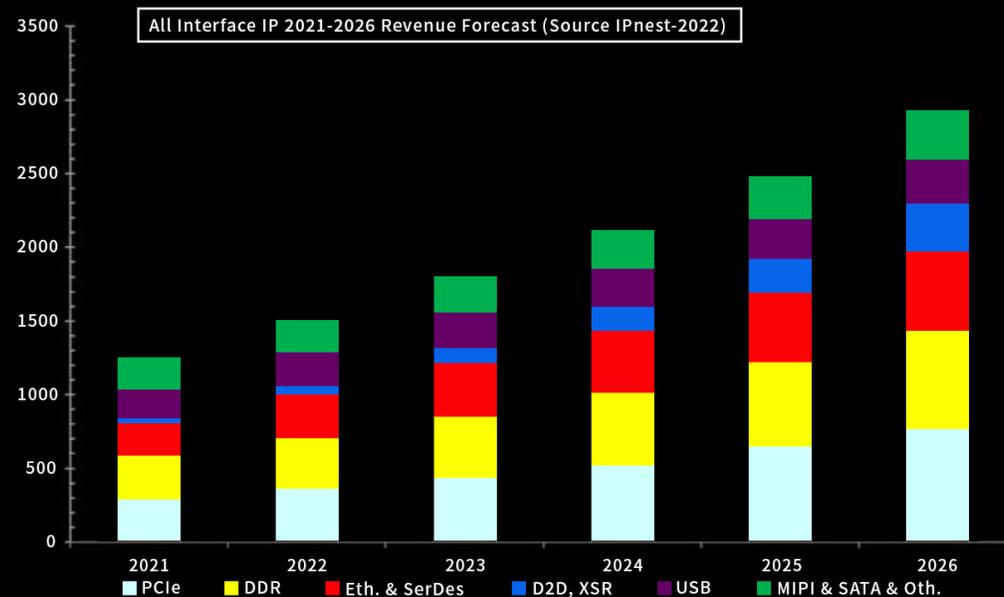


# Chiplet 发展趋势

Chiplet 对芯片产业发展的重要性:



- 整个Chiplet行业在2031年有望达到 **US \$47B**
- Chiplet市场在2021-2031十年期年复合增长率保持**36.4%**
- 亚洲占据超过半数的Chiplet市场
- D2D IP市场在2026年达到 US \$324M
- D2D IP市场在2021-2026 五年期年复合增长率高达50%

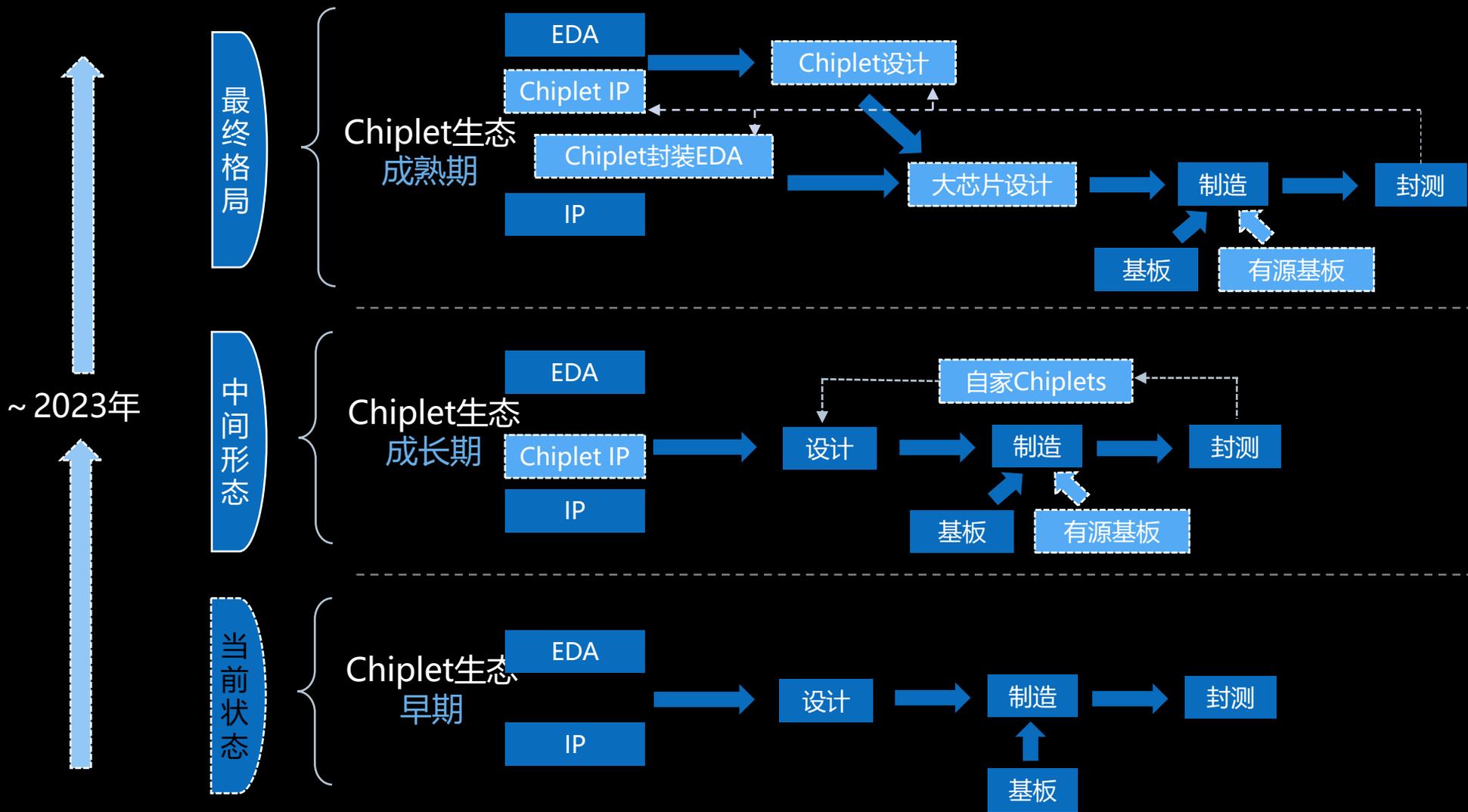


数据来源: IPnest

2020-2024 基于 Chiplet 技术之半导销售YOY及收入 (百万美元, %) 预估

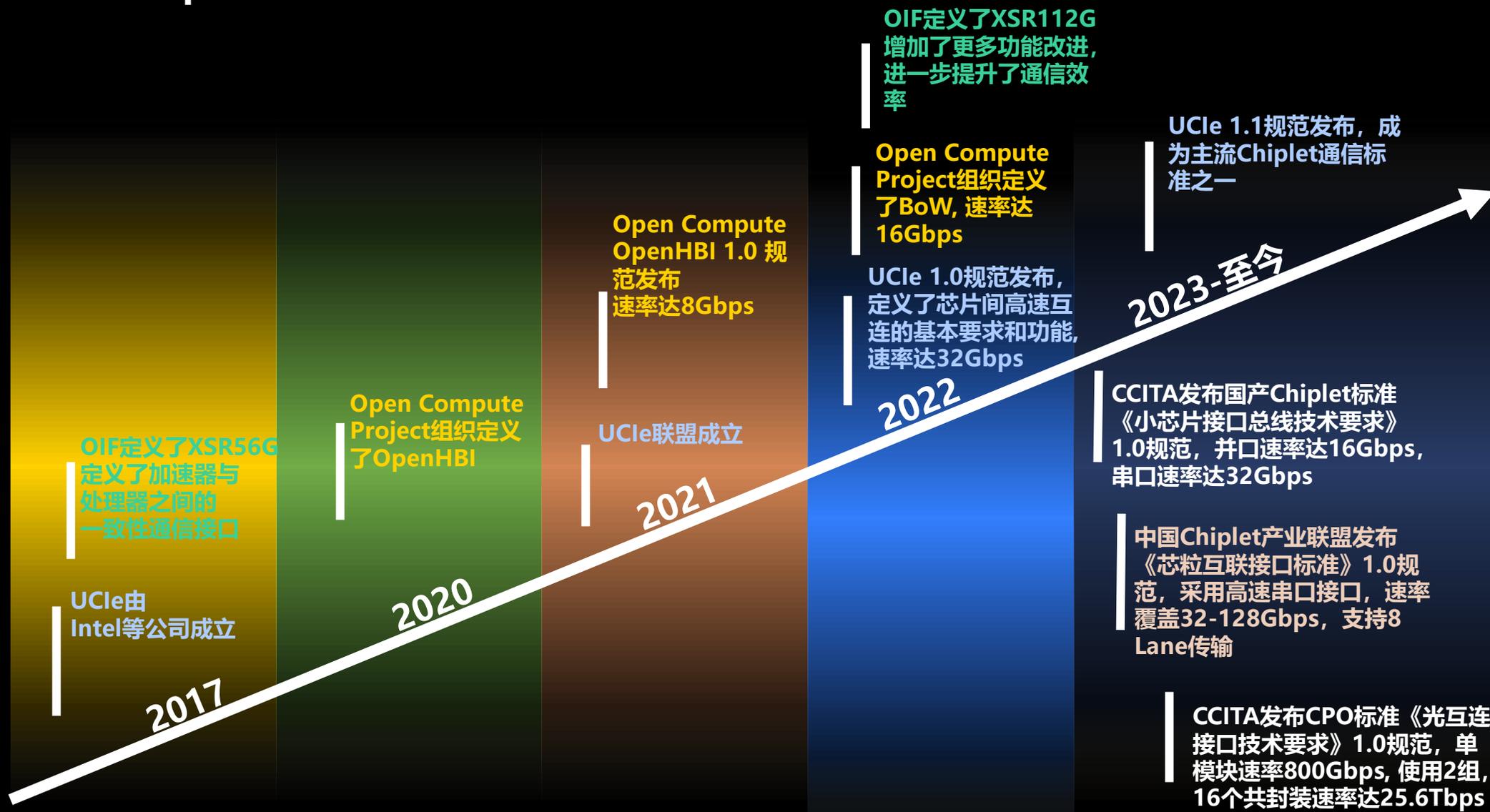


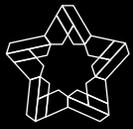
# Chiplet 技术推动半导体产业链变革





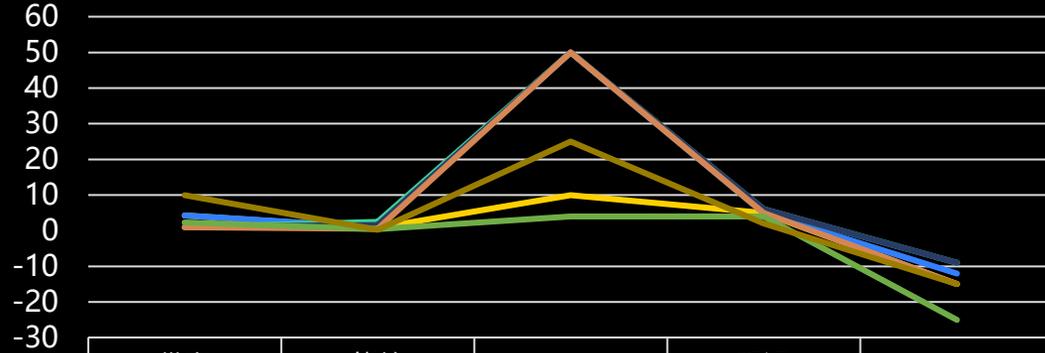
# 主流 Chiplet 互连标准历史沿革





# 主流 Chiplet 标准关键特性总结

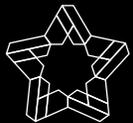
主流D2D协议关键参数对比



	带宽 (Tx+Rx) Tbps/mm	能效 (Tx+Rx) pJ/bit	走线间距 mm	延迟 (Tx+Rx) ns	BER 1e-
CCITA并口	4.3	0.75	10	5	-15
CCITA串口	4.3	1	50	5	-12
ACC串口	1	2.5	50	6	-9
XSR	1.1	1.6	50	6	-9
BOW	1	0.5	50	5	-15
OpenHBI	2.3	0.4	4	4	-25
Ucle	10	0.25	25	2	-15

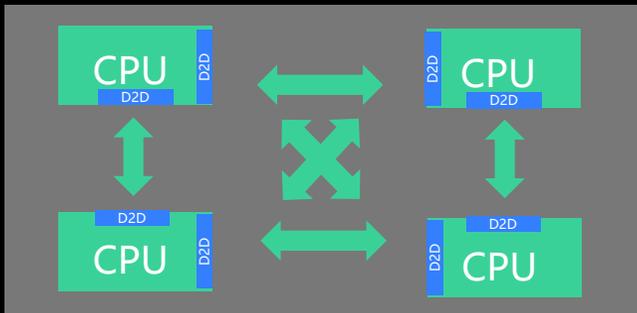
- UClE提供了较佳的带宽、能效和延迟组合。UClE在产业界的接受度逐步提高，但对于封装工艺和IP的实现要求较高
- CCITA的标准基本兼容UClE，但更充分考虑了国内的应用以及实际的封装生产能力
- XSR主要应用于CPO

Standards	CCITA 并口	CCITA 串口	ACC串口	XSR	BOW	Open HBI	UClE
IO PHY	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Max Data Rate	16G	32G	128G	112G	8G/16G	16G /32G	32G
Channel Pin/Lane	16Tx+16Rx or 64Tx+64Rx	16Tx+16Rx	8Tx+8Rx	16Tx+16Rx	32 (16TX+16RX) /Slice	42 (Bi-Dire)/DWord	16Tx+16Rx or 64Tx+64Rx
IO Swing			1Vpp	0.75Vpp	0.75V	0.4V	0.4V or 0.7V
RX Termination	Optional	Required	Required	Required	Optional	No	Optional
IO Direction	Uni	Uni	Uni	Uni	Uni	Bi	Uni
Pad Cap	0.25pF	0.13pF		0.13pF	0.2pF	0.35pF	0.25pF
Noise Reduction	Scrambling	Scrambling	Scrambling	Scrambling	DBI	DBI	Scrambling
Redundant Pin/Lane	No	No	No	No	1/Slice	2/DWord	4/64 Pins
Logical PHY	Yes	Yes	Yes	Yes	No	Yes	Yes
Training	Yes	Yes	Yes	Yes	No	Yes	Yes
Initialization	Yes	Yes	Yes	Yes	No	Yes	Yes
Sideband	Yes	No	Yes	No	No	Yes	Yes
Link Control	Yes	Yes	Yes	No	No	No	Yes
Protocol	Yes	Yes	Yes	No	No	No	Yes
System Interface (PHY)	RDI @ 2GHz	16bit@2G Hz	128bit@1G Hz	64bit@1.75 GHz	Direct @ 8GHz/16GHz	Geared @ 2GHz	RDI @ 2GHz
Packaging	Standard	Standard	Standard	Standard	Standard	No	Standard
	Advance	Advance	Advance	Advance	Advance	Advance	Advance

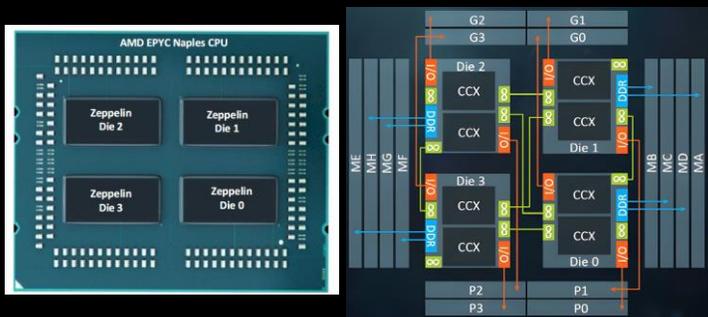


# Chiplet 典型应用和实例 (主要应用于HPC、AI领域)

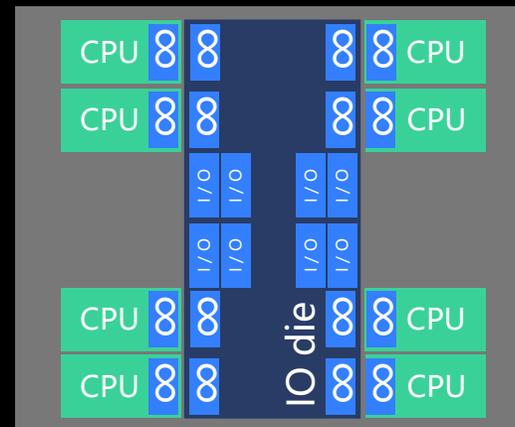
## 同构 (聚合系统)



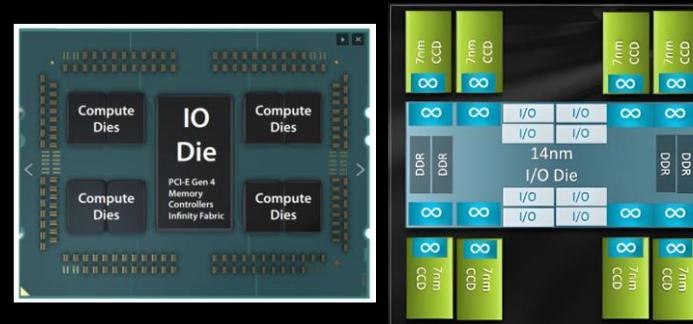
### AMD 1st Gen EPYC



## 异构 (分割系统)



### AMD 2nd Gen EPYC





# Chiplet 发展挑战

Chiplet 发展需要产业链及技术升级配合

多个 Chiplet 整合

系统分割设计

封装技术

高密度、大带宽布线的“先进封装技术”

提升多个 Chiplet 之间布线的数量并提升信号传输质量

封装材料升级，因应材料种类数量提升造成材料物性不匹配

电路设计

面积小、功耗低、高带宽的高速接口设计

协议标准

应力和翘曲解决方案技术提升，解决热及应力匀，die跟基板的膨胀系数不一致，导致错位或碎裂

系统设计

统一标准保证不同 Chiplet 之间能够顺利的完成数据交互

升级供电和散热技术，解决集成规模的增大导致整个芯片功率增大和供电困难、散热成本在整个系统中过高占比

设计方法及系统架构

将完整的大系统划分成多个 Chiplet 的设计和验证过程及方法

完整的设计流程以及研制配套的设计辅助工具



# 并口，串口D2D IP两种技术如何选择？

## • 两种技术路线的选择，取决于下列因素

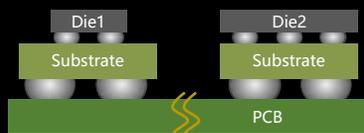
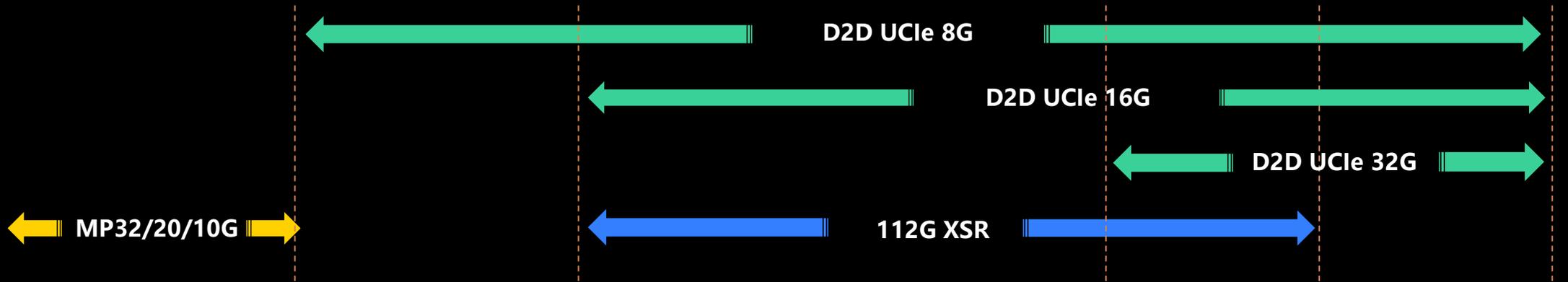
- 芯片系统性能的需求，如latency，能耗，总带宽等
- 芯片物理实现的限制，如芯片面宽，bump pitch等
- 封装的选择和设计限制，如封装层数，封装厚度，线宽线距等

维度	并口D2D	串口D2D
信号类型	单端	差分PAM4
信号走线长度	短距 <25mm	较长 >50mm ✓
Latency	小 <4ns ✓	大 >6ns
带宽密度	和封装强相关，封装越先进，带宽密度越高 ✓	和封装关联性较小
能效	和封装强相关，封装越先进，能效越好 ✓	和封装关联性较小
SOC芯片物理实现的限制	复杂度高	复杂度较低 ✓
对封装的要求	要求较多：层数多，bump pitch和线宽线距小，或是需要先进封装 ✓	要求较少 ✓
封装设计复杂度	高，SI/PI处理难度较大	较低 ✓

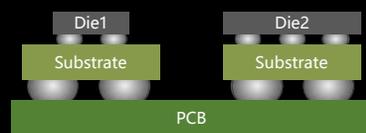
# 芯耀辉具备完整的 D2D 和 C2C 解决方案

## 经典片/板间互联架构

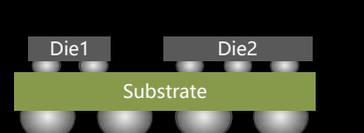
## 创新D2D架构



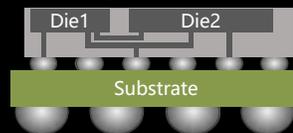
**Long Reach PCB (>25cm)**  
 Bump Pitch: >110um  
 Line Pitch: >10um  
 Power: ~7pJ/bit



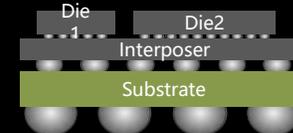
**Extra Short Reach PCB (>10cm)**  
 Bump Pitch: >110um  
 Line Pitch: >10um  
 Power: ~3pJ/bit



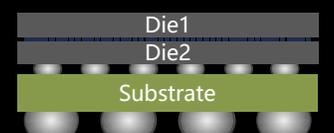
**Organic Substrate (<50mm)**  
 Bump Pitch: >110um  
 Line Pitch: >10um  
 Power: ~2pJ/bit



**RDL Fanout (<50mm)**  
 Bump Pitch: >50um  
 Line Pitch: >2um  
 Power: ~1pJ/bit



**2.5D packaging, Interposer (<50mm)**  
 Bump Pitch: <50um  
 Line Pitch: >0.4um  
 Power: ~0.5pJ/bit



**3D packaging, Hybrid Bonding (<10um)**  
 Bump Pitch: <10um  
 Line Pitch: >N/A  
 Power: ~0.2pJ/bit

**C2C**  
 Chip间的走线长度 --> 低

**D2D**  
 Die间的走线长度 --> 低



# 芯耀辉三个维度覆盖 Chiplet 对 D2D、C2C 接口 IP 的需求

## PHY

- 高性能、低功耗、低延迟
- 兼容业界主流协议
- 灵活可配置，适用场景广泛
- 硬核交付易于集成使用
- 具备硅后可更新的固件机制
- 丰富的D2D KGD测试功能

## 控制器

- 高性能、低功耗、低延迟
- 兼容业界主流协议
- 灵活可配置，适配不同的片上总线标准和流传输
- 链路管理、重传机制
- 仲裁与分发

## 子系统

- PHY和控制器基于用户需求整合，达到最优化PPA目的，并缩短产品上市时间
- 包含了定制化和Debug逻辑
- 完整的子系统级验证
- 完整的综合环境
- 可选的硬化以收敛高速时序



## Interposer设计

- Bump排布
- 资源
- 性能预期

## 封装设计

- ESD/Current/Bump
- Layer规划
- Crosstalk

## PCB设计

- PI
- 全局SIPI仿真

## 3D封装仿真

- 热效应
- 机械效应
- 电源分布网络

## Foundry

- Die (PDK、models、DR)
- Interposer (PDK、models、DR)

## Package house

- PDK、models、DR

## ATE测试

- 高覆盖率的DFT测试
- 全速回环测试
- Know Good Die测试手段
- 冗余资源

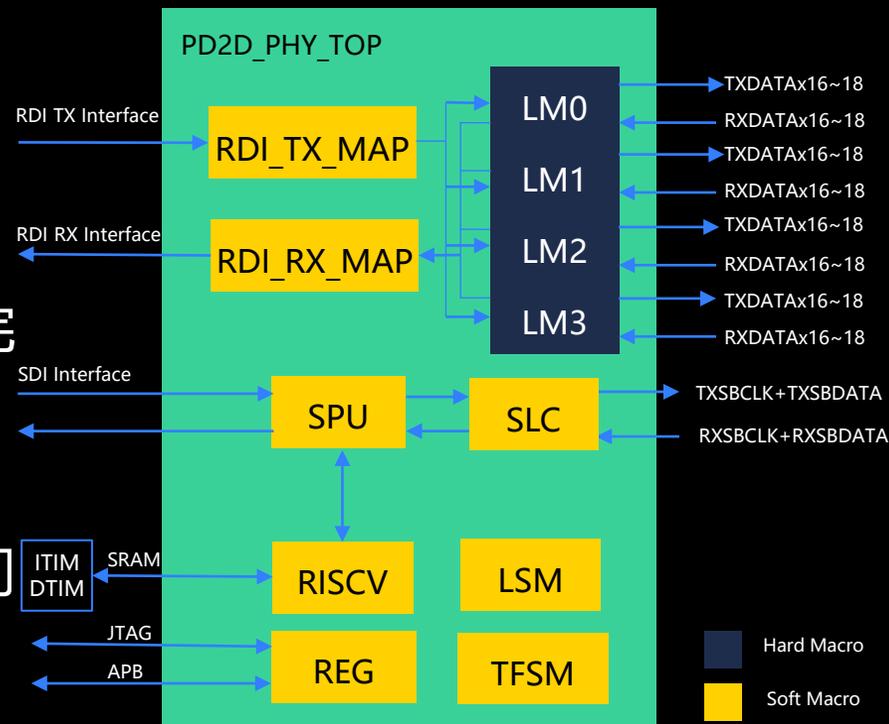
## Lab测试

- 眼图测试
- 误码率分析统计
- 模拟/数字电路观测
- 丰富的debug寄存器



# 芯耀辉D2D UCIe 16G简介

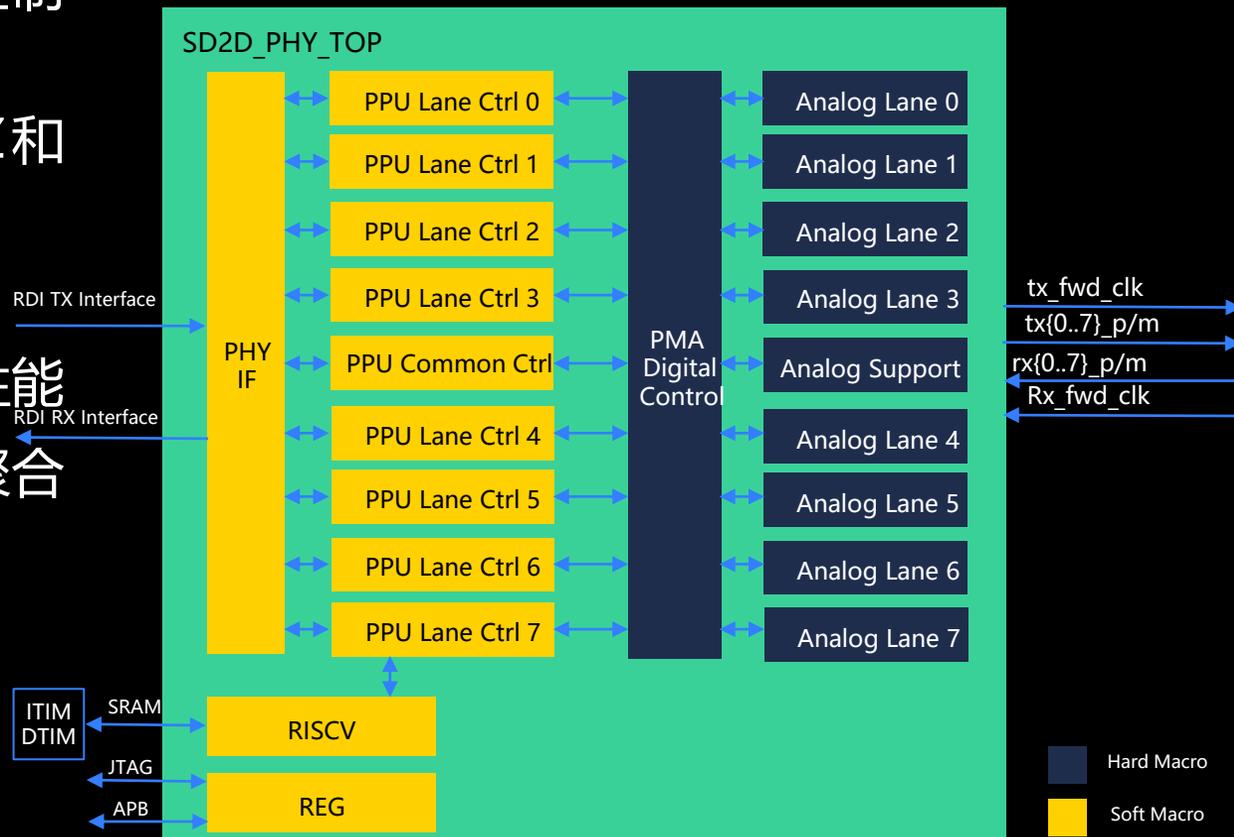
- 以LM(Lane module)为单位, 每个Lane module内发送和接收Lane数量依据封装形式固定
- UCIe-S 支持互联长度
  - < 25mm@20Gbps
  - < 50mm@16Gbps
- 低延迟架构, TX+RX<3ns
- 支持RISC-V MCU Based Firmware training架构, 可独立完成PHY的初始化、参数协商和training, 以及ATE测试
- 支持周期性的PVT补偿及校准机制
- 优化的通道面宽架构, 可以适配多种封装形式和高密度Die间走线
- 支持数据路径的LM间反转和LM内Lane级反转
- 支持标准封装(2D)
- 支持丰富的ATE测试(封装前和封装后)





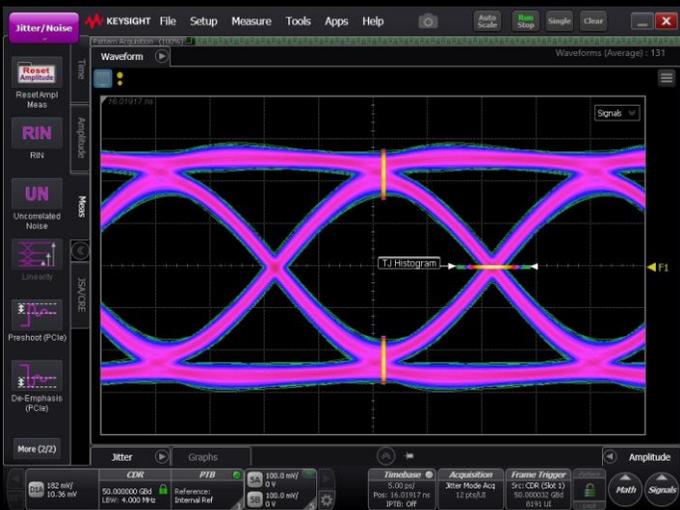
# 芯耀辉串口D2D PHY架构概述

- 适用于多种场景的PHY: NRZ、PAM4、D2D、D2OE
- 完整解决方案带有8通道的AFE、支持BIST和控制逻辑的PPU及独立的CPU
- 每个通道可灵活的独立运行速率，兼容NRZ和PAM4
- 可涵盖2.5~112Gbps
- 具备3-TAP Tx FFE和Rx线性均衡器以实现高速性能
- 双向8通道小面积的hard macro，支持多PHY聚合实现更大带宽
- 高能效：1,5pJ/bit
- 每个通道可以独立开关，独立运行速率，针对不同应用场景提供进一步优化功耗的空间
- 运行 Firmware 的 CPU
- 提供丰富的测试功能

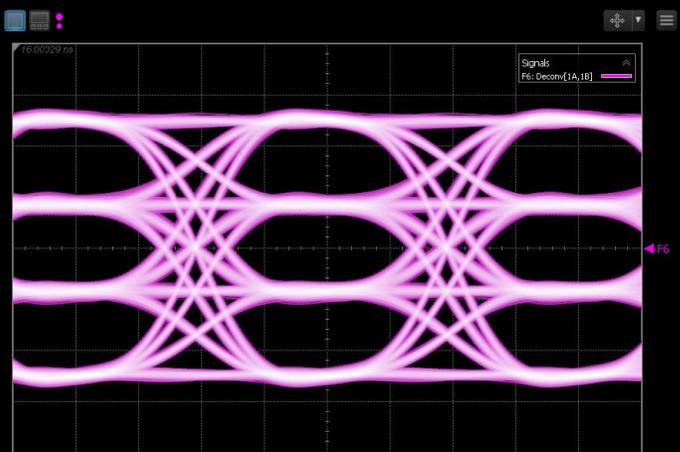




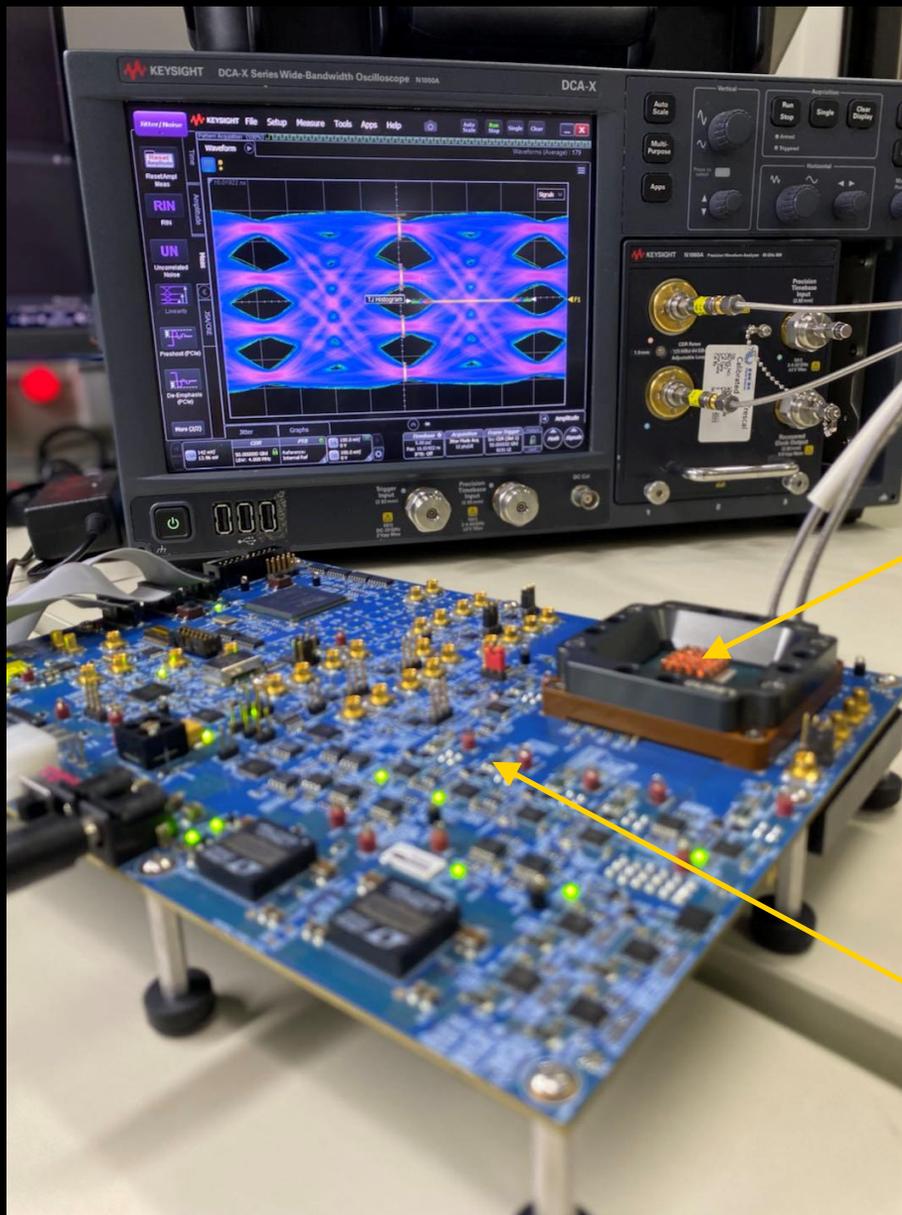
# D2D 112G XSR PHY硅样品实测结果



50G NRZ



50G PMA4



112G PMA4

112G D2D PHY TC

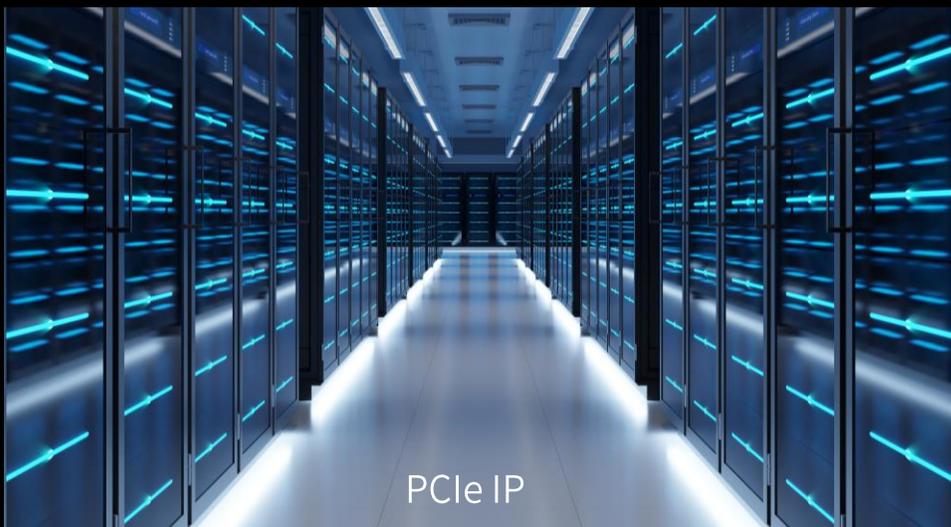
112G D2D PHY  
评估板



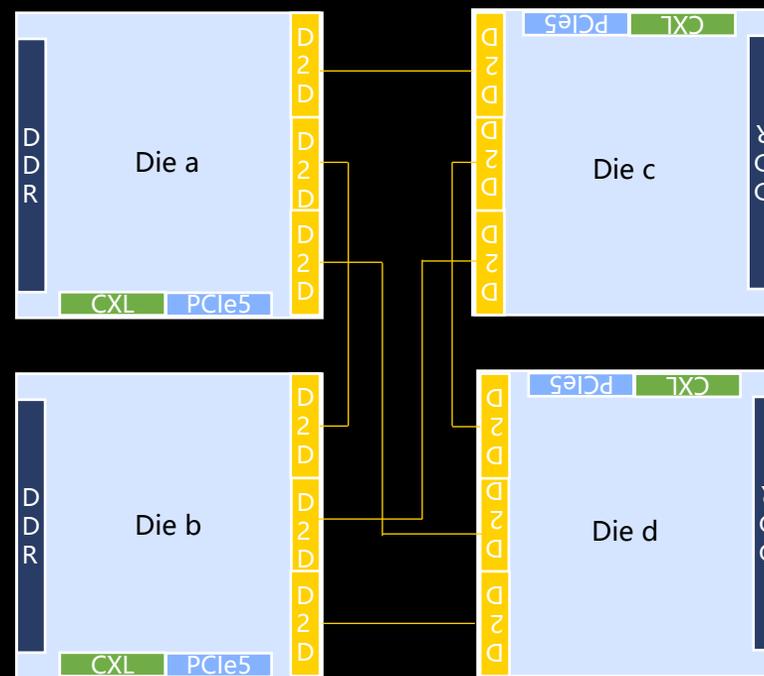
# 芯耀辉产品应用端客户导入实例

## CPU 芯片

多 die 互联 SoC

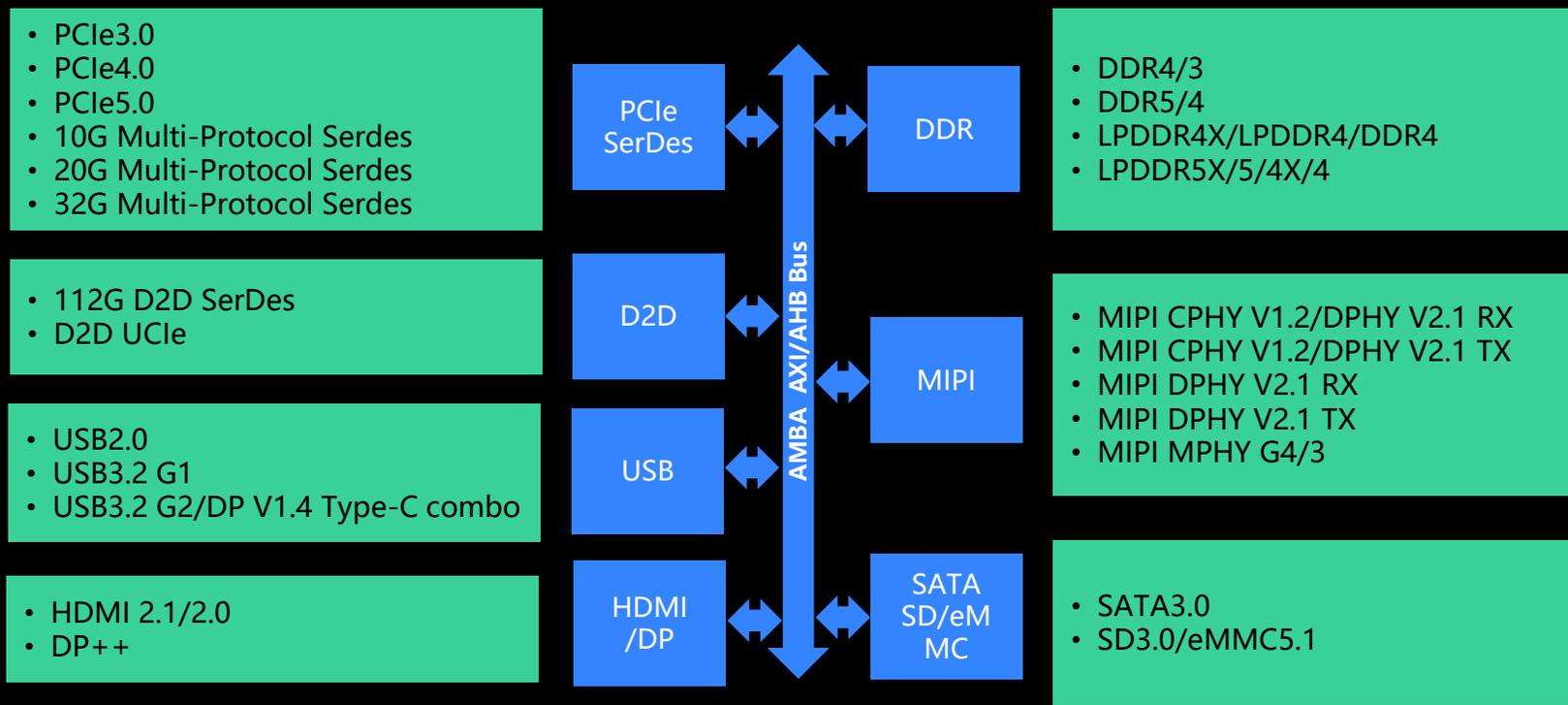


## 客户导入项目实例





# 芯耀辉国产先进工艺完整IP解决方案赋能产业数字化



- 拥有全面的产品组合，提供FinFET先进工艺一站式完整解决方案
- 拥有完整国产车规级工艺ASIL-B接口IP解决方案，支持赋能国产自主车规级SoC芯片发展
- 国际领先模拟、数字和数模混合IP研发，PPA优、兼容性好、可靠性高、融入可量产创新技术
- 洞察中国市场和客户的特定需求，提供差异化的增值和升级服务
- 芯耀辉在高性能计算、人工智能、数据中心、智能汽车、5G、物联网、消费电子等多个领域都能提供一站式接口IP解决方案，赋能各个应用领域SoC的国产浪潮和产业数字化

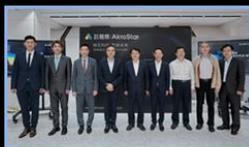


# 大事记



## 芯耀辉

芯耀辉科技有限公司在珠海横琴成立  
2020.06



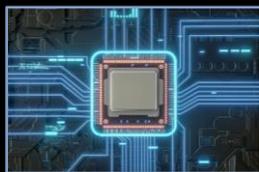
国家科技部黄卫副部长调研考察芯耀辉科技  
2021.03



芯耀辉荣获2022中国IC风云榜“年度IC独角兽奖”  
2021.12



芯耀辉正式加入UCIe产业联盟  
2022.04



芯耀辉完成了DDR5/4、LPDDR5X/5/4X/4、高速SerDes等自研IP的开发和首批交付  
2022.10



2年服务客户超50家，累计订单销售额超1亿美元  
2022.12



芯耀辉荣登中国50家半导体独角兽企业榜单  
2022.12



芯耀辉获SGS ISO 26262:2018汽车功能安全流程认证  
2023.6

2020.12

芯耀辉收获第二届横琴科技创业大赛特等奖



2021.05

芯耀辉与澳门大学发展基金会及澳门科技大学基金会签订战略合作协议



2022.02

累计获得投资机构多轮超20亿元投资，连续得到顶级机构的青睐和肯定



2022.6

芯耀辉完成了国产车规工艺平台车规级全套IP的研发，服务了国产车规工艺上首个客户



2022.10

承接国家科技部重点研发专项，作为国家队成员着力推动国内Chiplet标准CCITA产业化



2022.12

以国际领先的自研产品斩获2023中国IC风云榜“年度技术突破奖”



2023.3

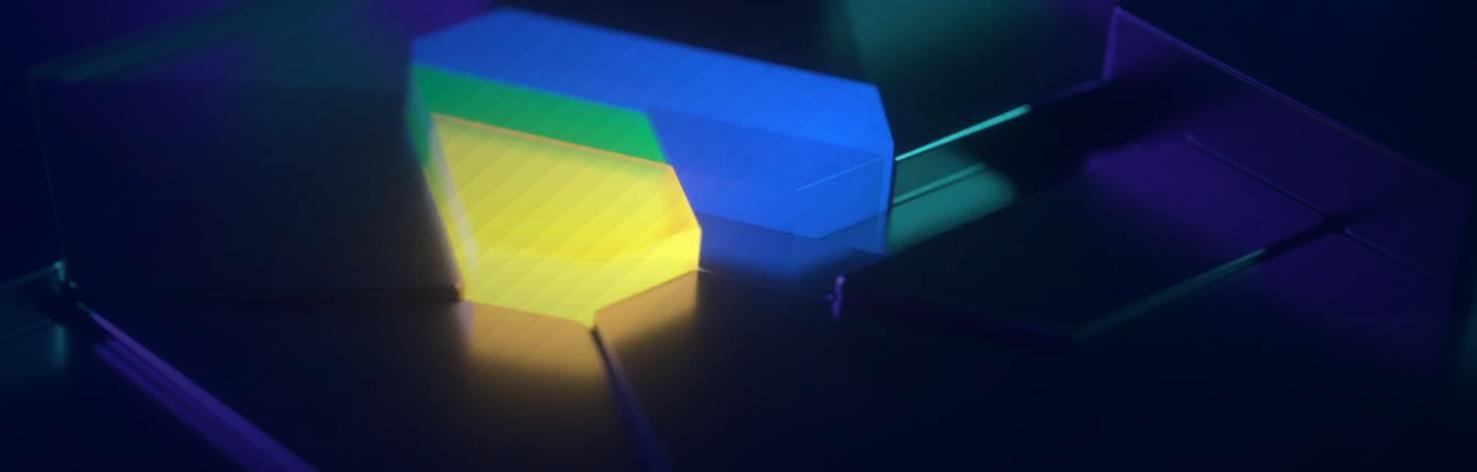
荣膺由EETimes举办的2023年度中国IC设计成就奖之“年度产业杰出贡献IP公司”



2023.7

芯耀辉被国家评定为广东省第五批国家级专精特新“小巨人”企业





核芯科技 · 智创未来