



RMT

Rigger Micro Technologies

Rigger Micro Technologies

Total solution of advanced IC packaging

锐杰微科技集团

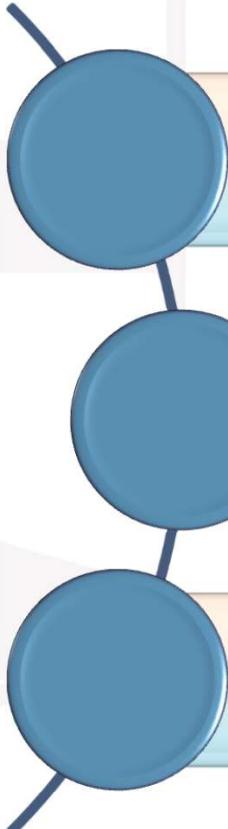
FCBGA/SiP高端封测业务与Chiplet规划

金伟强

2022/12

TOTAL SOLUTION OF ADVANCED IC PACKAGING

RMT Confidential @ 2019



锐杰微先进封装系统开发

锐杰微集团介绍

锐杰微先进封装/Chiplet规划



锐杰微先进封装系统开发

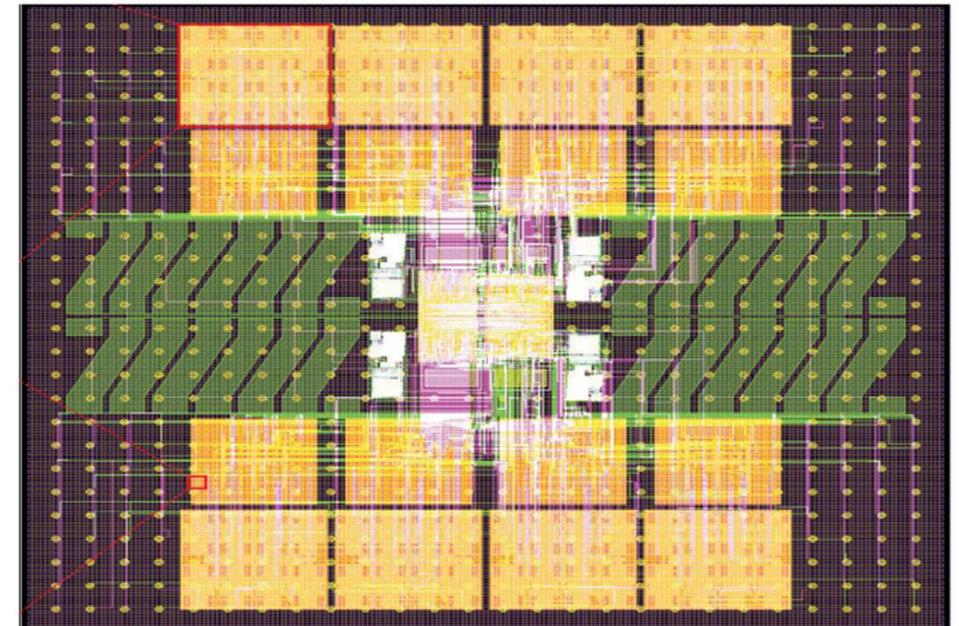
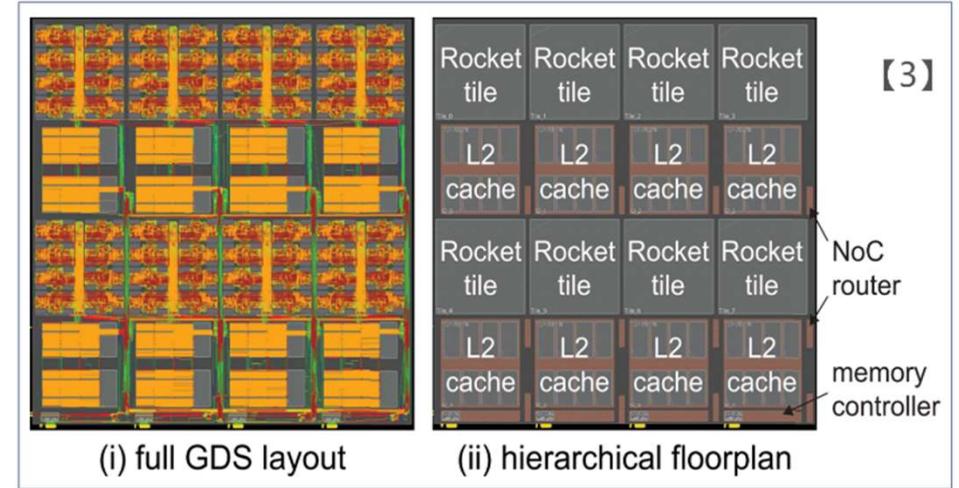
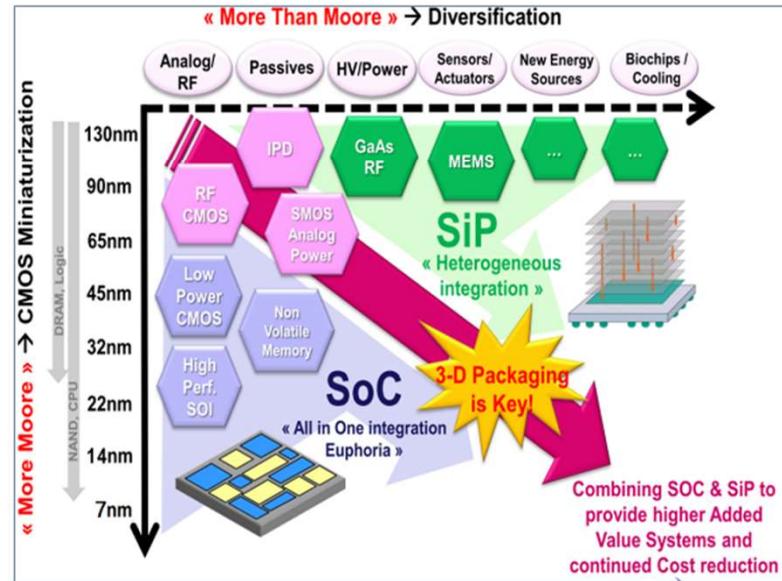
锐杰微集团介绍

锐杰微先进封装/Chiplet规划

先进封装系统开发

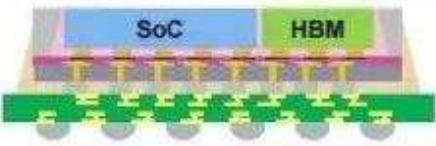
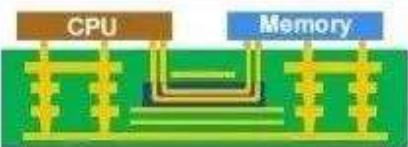
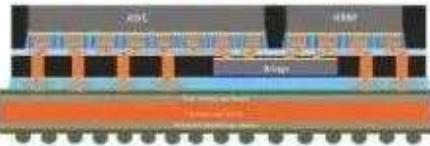
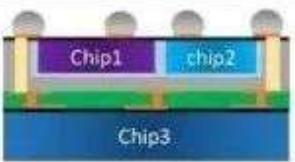
随着SOC工艺制程继续朝5nm、3nm、2nm甚至1nm推进，已经越来越逼近物理极限，实现难度也越来越高。通过把复杂SOC芯片拆解为标准化小芯片，利用先进封装技术来实现微系统的组合集成、3D集成或异质集成。从封装层面实现系统芯片化。

- 多种电子元件的跨界集成
- 多种不兼容工艺整合重构
- 多种材料优化匹配
- 多种边界要求的结构设计



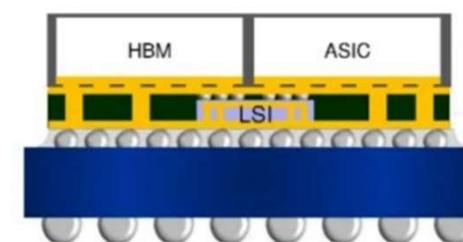
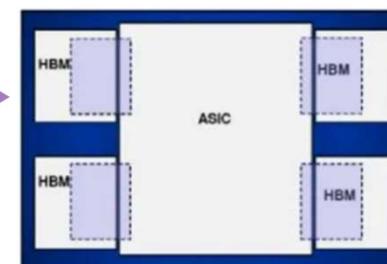
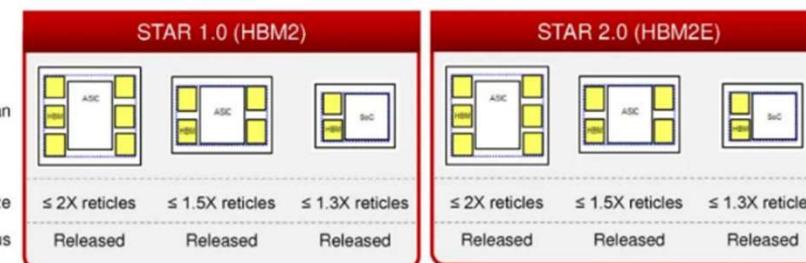
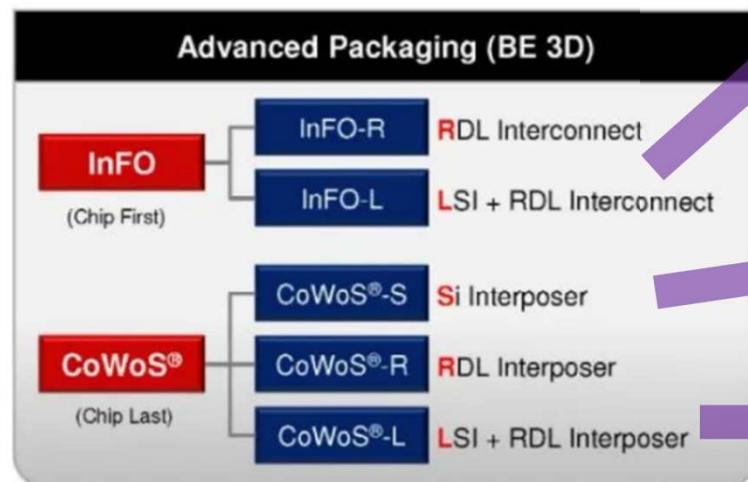
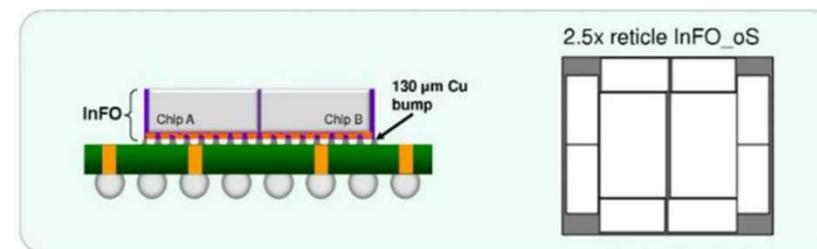
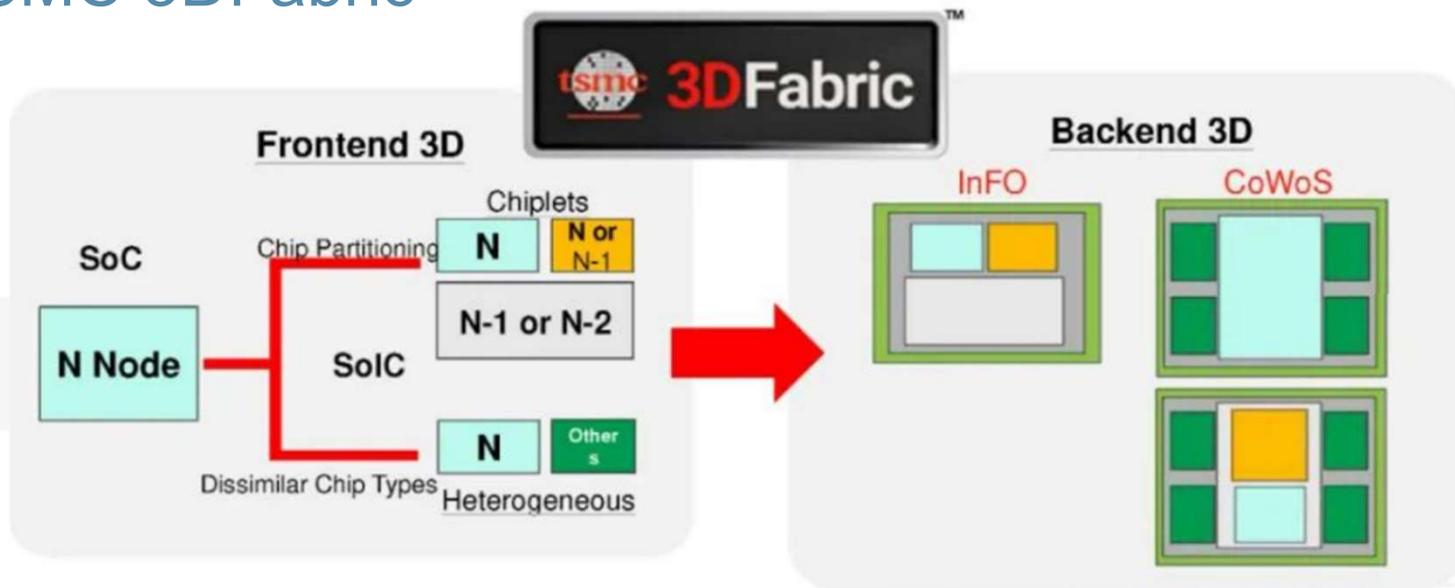
Interposer-based 2.5D design

市场主要先进封装

Technology	Schematic	Type	Remark
InFO, TSMC		Fan-out / 3D	molding, RDL 2/2um, high cost, TMV, high I/O, for AP/memory, volume production
CoWoS, TSMC		2D / 3D	10:1 TSV, Sub um RDLs, high cost, high I/O, interposer for CPU/GPU, volume production
EMIB, Intel		2.5D / 3D	no TSV, high-density interconnection, high I/O, low cost
eWLB, STATSChip		Fan-out	Molding method, KGD process, Volume production
FOCoS, ASE		Fan-out	Molding method, high I/O, KGD process, Volume production
eSinC, HuaTian		Chip Level Integration	embedded silicon, RDL with 8um, 2:1 TSVs, KGD process, molding alternative, low warpage, low cost, higher I/O, better thermal performance, for Driver/FPGA/5G/medical device, nearly ready

市场主要先进封装 – TSMC

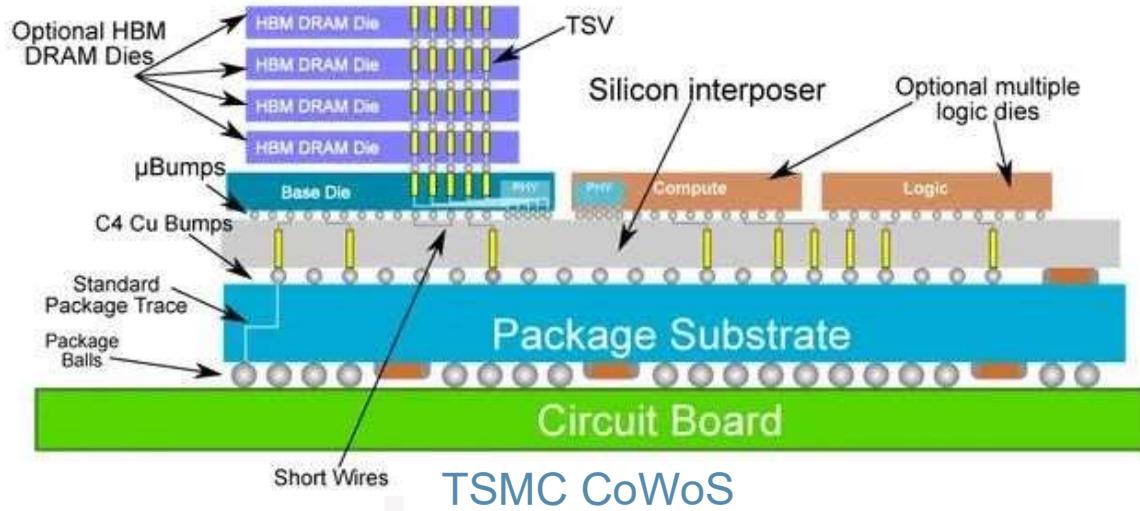
TSMC 3DFabric™



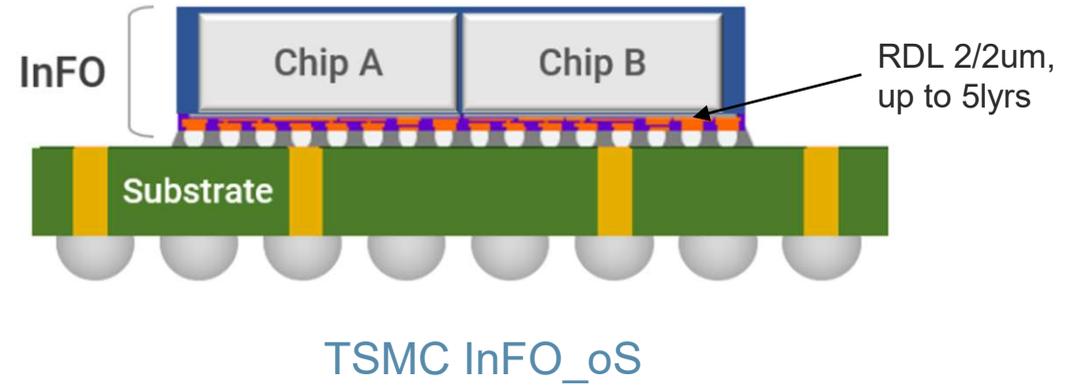
SoIC: System on Integrated Chips

InFO: Integrated Fan-Out
 CoWoS: Chip on Wafer on Substrate
 RDL: Redistribution Layer
 LSI: Local SI Interconnect

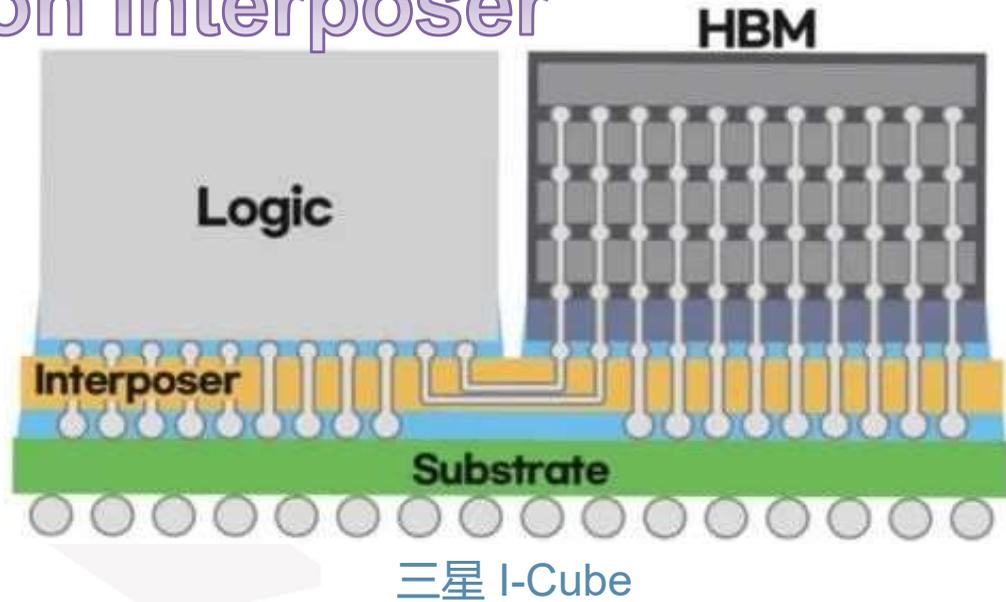
市场主要先进封装 - 2.5D芯片互连方式



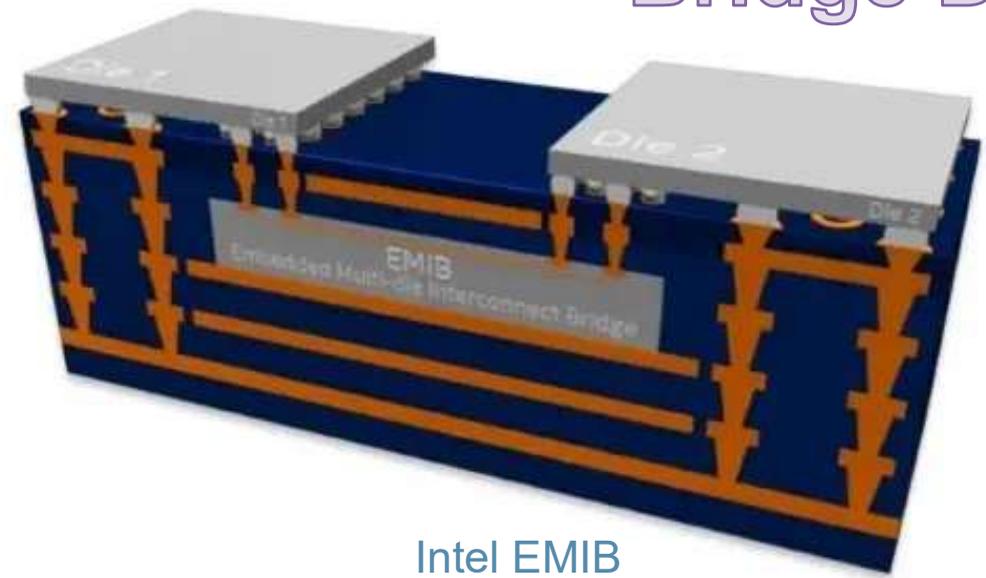
RDL w/ FO



Silicon Interposer

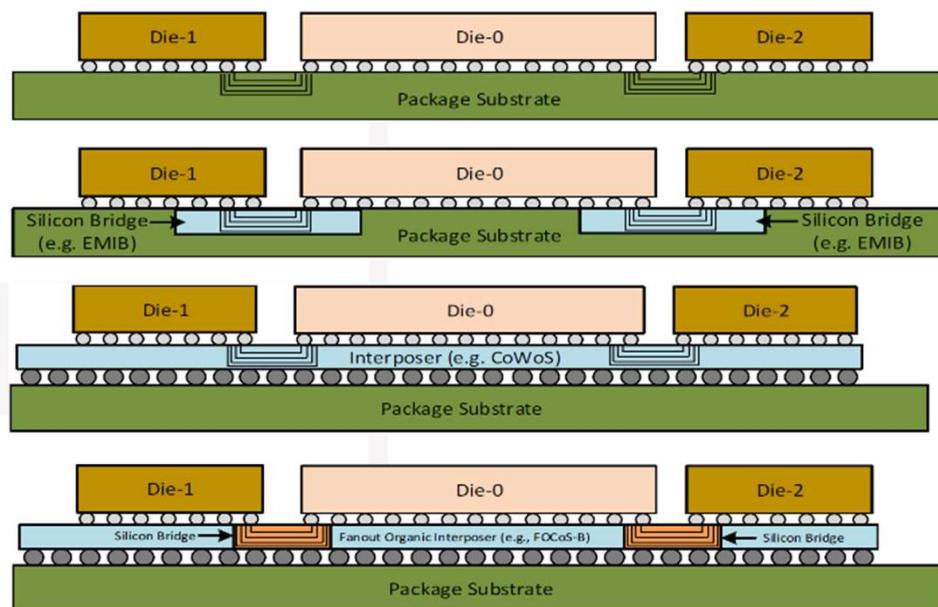


Bridge Die



Chiplet技术标准 - 封装技术相关

UCIe



Characteristics of UCIe on Standard Package

Index	Value
Supported speeds (per Lane)	4 GT/s, 8 GT/s, 12 GT/s, 16 GT/s, 24GT/s, 32 GT/s
Bump Pitch	100 um to 130 um
Channel reach (short reach)	10 mm
Channel reach (long reach)	25 mm
Raw Bit Error Rate (BER) ¹	1e-27 (<= 8 GT/s)
	1e-27 (short reach, 16 GT/s)
	1e-15 (long reach, 16 GT/s)
	1e-15 (>= 32 GT/s)

Table 5. Characteristics of UCIe on Advanced Package

Index	Value
Supported speeds (per Lane)	4 GT/s, 8 GT/s, 12 GT/s, 16 GT/s, 24 GT/s, 32 GT/s
Bump pitch	25 um to 55 um
Channel reach	2 mm
Raw Bit Error Rate (BER) ¹	1e-27 (<=12GT/s)
	1e-15 (>=16GT/s)

互连技术联盟



图21 常规封装

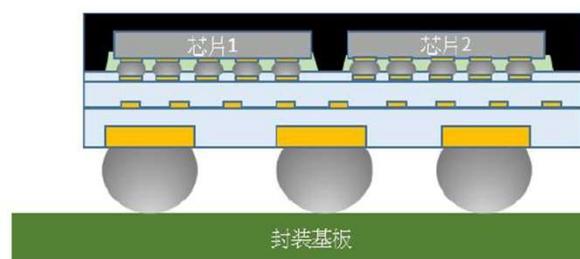


图24 先进封装 (采用扇出工艺, 通过重布线层/基板信号互连)

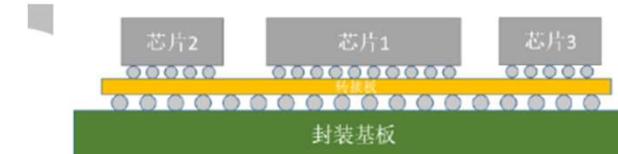


图22 先进封装 (通过转接板信号互连)

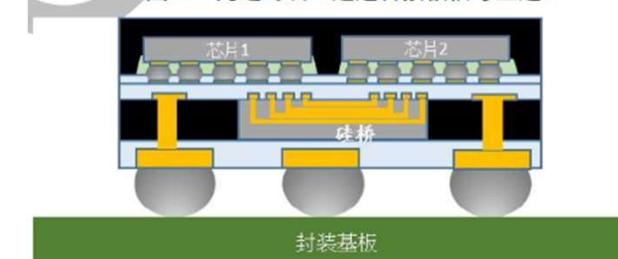


图23 先进封装 (采用扇出工艺, 通过硅桥/基板信号互连)

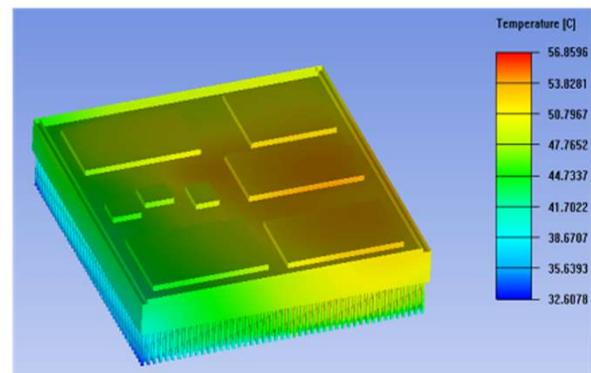
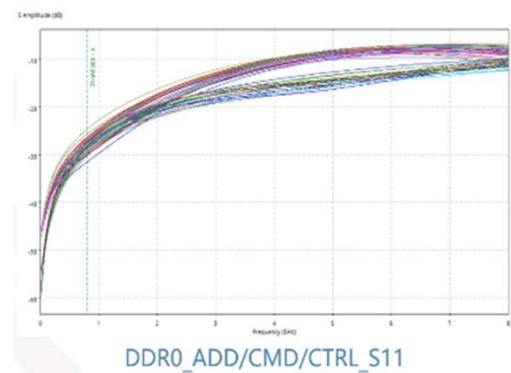
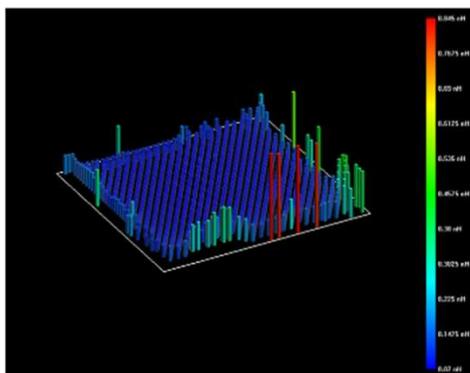
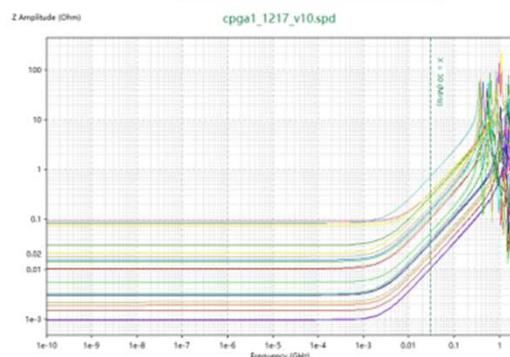
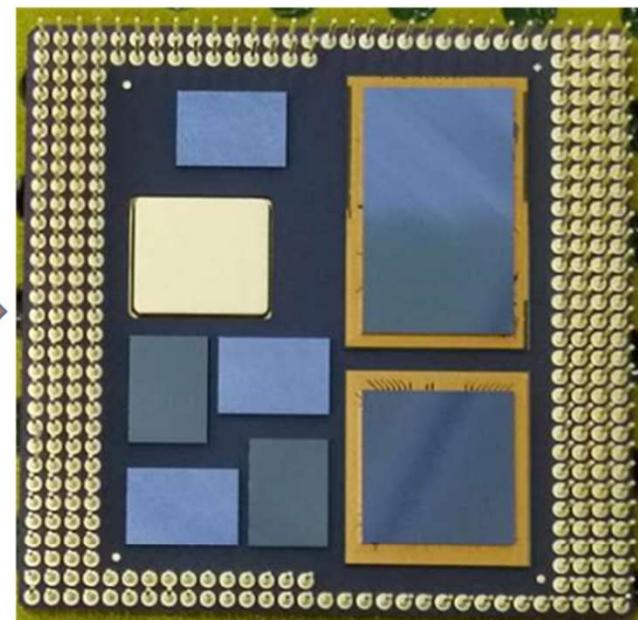
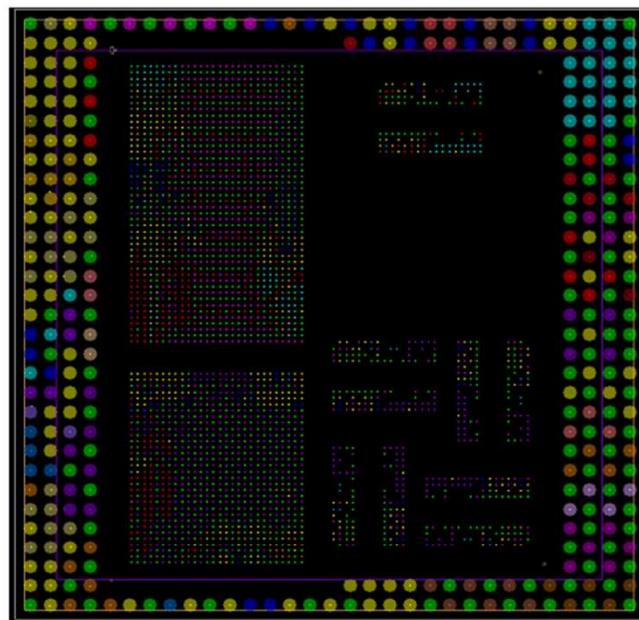
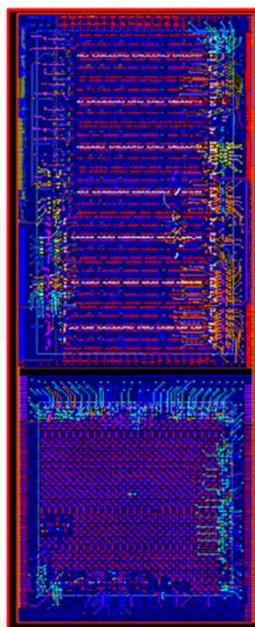
表15 常规封装主要物理参数

项目	参数
凸点节距	100um-180um
互连距离	8mm-25mm
基板互连线宽(芯片区域)	≥20um (≥14um)
基板互连线间距(芯片区域)	≥20um (≥14um)

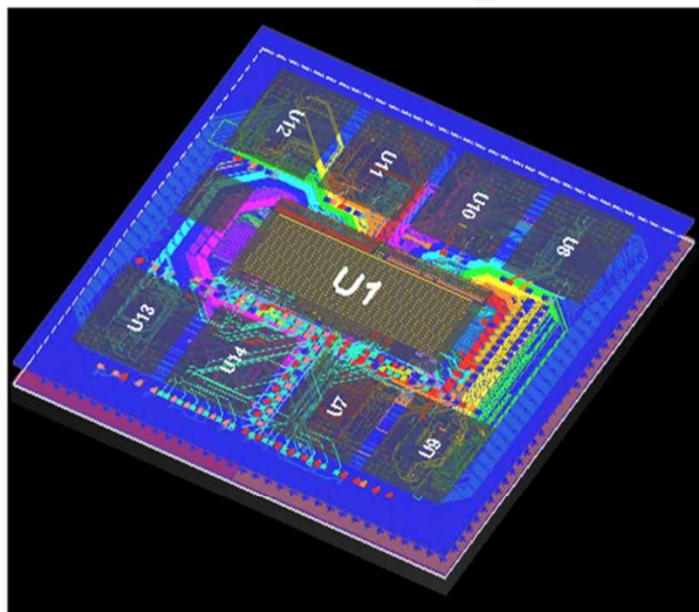
表16 先进封装主要物理参数

项目	参数
微凸点节距	25um-55um
硅桥/重布线层/转接板互连距离	2mm
硅桥/重布线层/转接板互连线宽(芯片区域)	≥2um
硅桥/重布线层/转接板互连线间距(芯片区域)	≥2um
基板互连距离	8mm-25mm
基板互连线宽(芯片区域)	≥20um (≥14um)
基板互连线间距(芯片区域)	≥20um (≥14um)

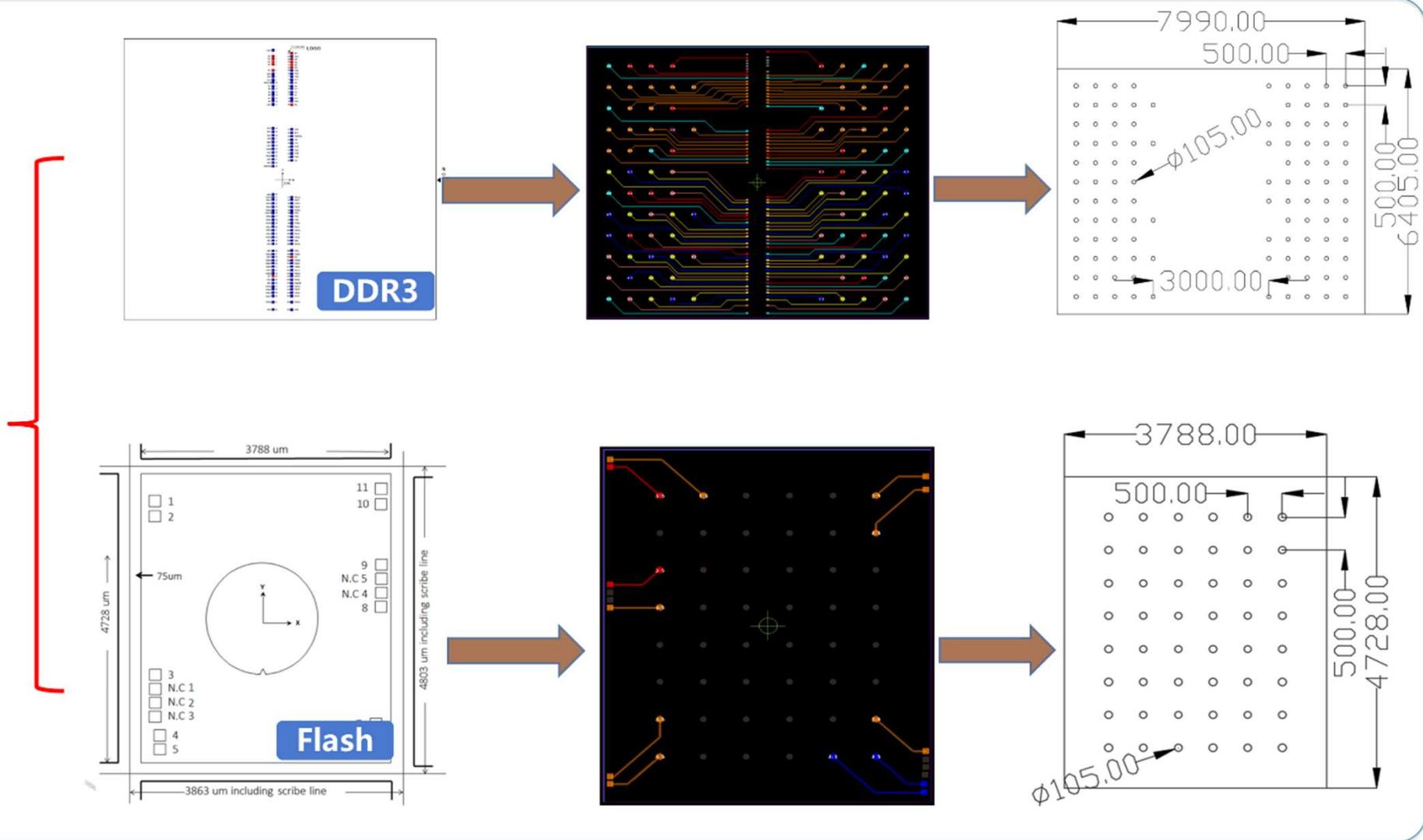
TSV 2.5D转载板设计



DDR/Flash RDL + Bumping

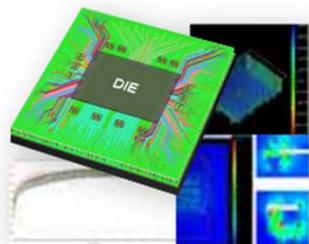


- 具有更多的 I/O 端口和更高密度集成
- 超薄封装具有小焊球，满足二次封装
- 热阻低，散热好
- 优良的电学特性
- 更高密度的 SiP 和 3D 封装的组件单元



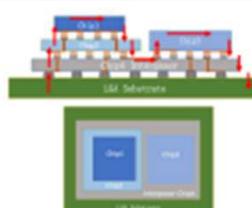
锐杰微先进封装系统-成功案例

1st TPU of China Listed AI Company –Design Case



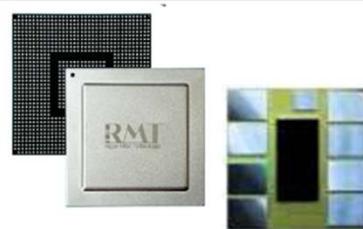
Application	AI computing
Package	FCBGA
Size	42.5 x 42.5mm
BGA Balls	1760 Balls
Features	*PCIe3.0 interface *DDR4 *User-defined bus

Chiplet Device Validation –Design Case



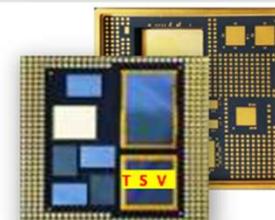
Application	Process validation
Package	LGA
Size	65 x 55mm
BGA Balls	1280 lands
Features	*HD bumps(200k Ios) *TSV die stacks with Daisy Chain design *3D die stack process validation for Chiplet

SiP Packaging of High-Performance DSP



Application	DSP
Package	HFCBGA
Size	35 x 35mm
BGA Balls	1024 Ball
Features	*Multi-chips up to 10 FC dice *TDP:60W

SiP Heterogeneous Packaging with TSV



Application	Shortwave IR imaging processor
Package	CPGA
Size	40 x 40mm
BGA Balls	316 Ball
Features	*Dual-side cavity for chip attach *WB+FC+TSV *Up to 21 dice

Domestic Commercial CPU with Giant Size



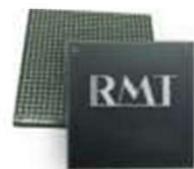
Application	Computing
Package	HFCBGA
Size	61 x 61mm ²
BGA Balls	3576 Ball
Features	*Dual CPU+FPGA

Low Cost, Ultrathin, Small Size Domestic LCD Driver



Application	Screen driver for consumer electronics
Package	WBBGA
Size	5 x 5 x 0.60mm
BGA Balls	60 Ball
Features	*Ultra thin(Sub 0.15mm, Mold 0.3mm); coreless *Multi-dice (3 dice)

Domestic GPU Won 1st Prize of National Innovation



Application	GPU for Server
Package	WBBGA
Size	21 x 21mm
BGA Balls	625 Ball
Features	*WB in fine pitch & up to 5 loops *CSP in big molded PKG *Industrial Rel std.

32G Serdes



Application	High speed interconnection
Package	FCBGA
Size	13 x 13mm
BGA Balls	225 Ball
Features	High speed ADC/DAC

1st Domestic AI Processor in RISC-V



Application	ADAS
Package	HFCBGA
Size	21 x 21mm
BGA Balls	777 Ball
Features	* DDR4 * PCIe2.0

1st Domestic 14nm Processor



Application	Smart Medical Treatment
Package	HFCBGA
Size	23 x 23mm
BGA Balls	529 Ball
Features	LPDDR4 built-in

合作伙伴



锐杰微先进封装系统开发

锐杰微集团介绍

锐杰微先进封装/Chiplet规划

集团简介



愿景

成为全球领先的集成电路高端封测方案解决商

使命

帮助国内高端核心芯片完成国产化封测

价值观

品质为本，攻坚克难，勇于创新



锐杰微科技集团是一家提供**高端芯片封测服务的方案商**。聚焦**封装方案设计&封装加工制造**。

集团具有**数百高端复杂、高算力/SiP芯片封装项目管理和交付经验**，服务超过百家科研院所和**高端商业客户**。

集团拥有国内领先的封装设计、仿真、制造和成品测试团队。已建立一套完整的封装设计标准、生产管控流程，质量保证体系，**配备先进规模化的加工&测试产线**。

集团与产业链保持良好的合作关系，利用在新材料、新工艺和新结构的前沿性研究成果，布局集成电路第三代封装技术-Chiplet，**参加CCITA等组织封装标准制定**。

集团秉承“品质为本，勇于创新”的理念，**致力于为客户提供卓越的产品和服务**。

集团历程



2023



□ RMT苏州先进封装测试基地建设完成

2021



□ RMT集团总部成立，落户苏州
□ 布局：
-先进封装研究院
-研发中心
-工程技术中心

2020



RMT郑州封装测试基地I期项目投产

2019



RMT郑州成立、完成近数亿融资

2018



荣获高新技术企业\QEHS认证、并投产FC产品

2017



提供高端SiP&处理器封装制造

2016



成都RMT成立并投产，方家恩先生任董事长

2011



芯锐公司成立
提供高端芯片封装设计&仿真业务

集团布局



郑州生产基地 (2020年投产)，总面积
20,000平，投资**5亿** (苏州全资子公司)
综合类封测基地



苏州-集团总部

2023年竣工，总面积48420平，定位先进封装
总投资**18亿** (初期8.63亿)
年产**1080万只**大颗高端倒装球栅格阵列芯片



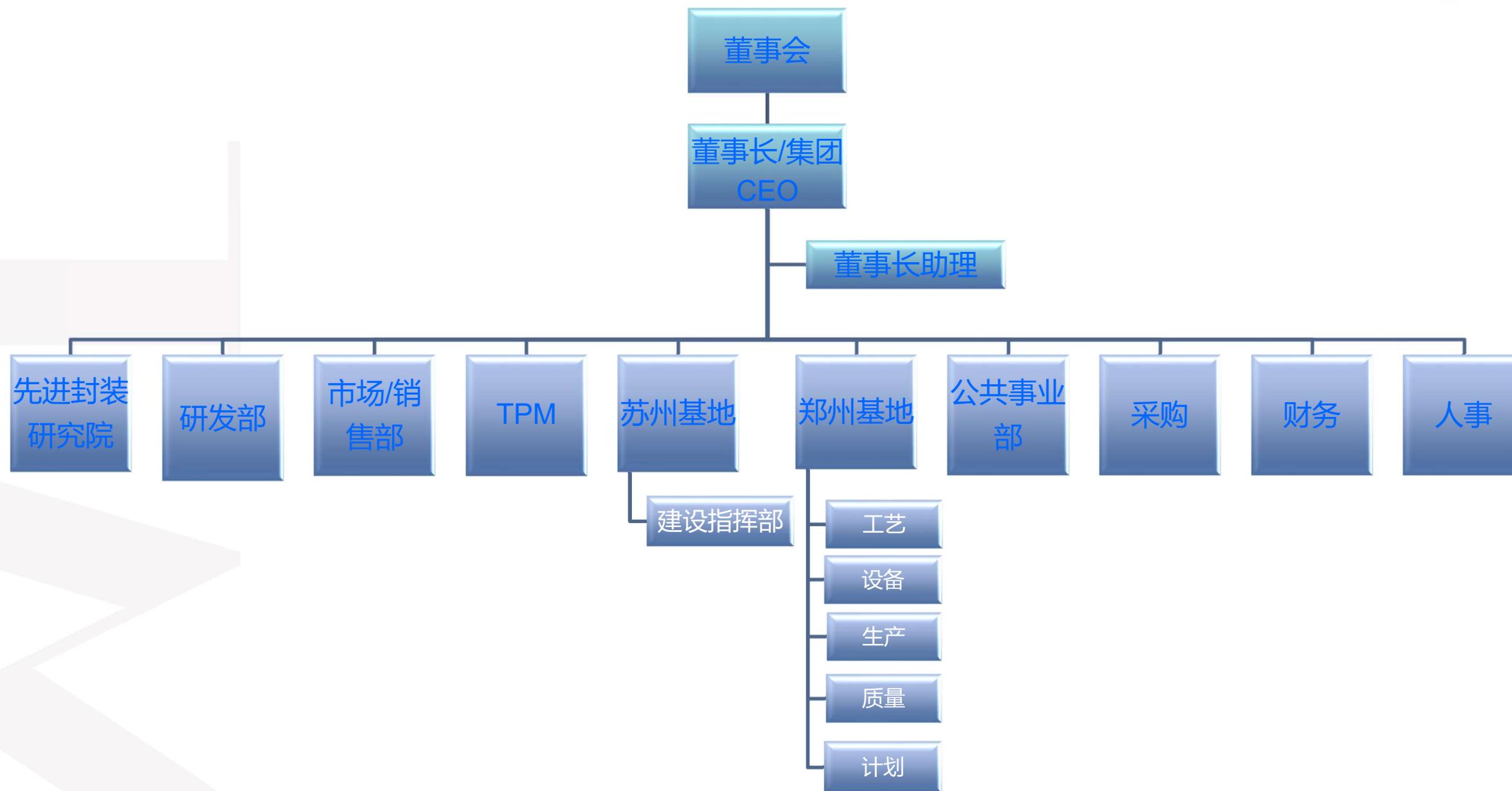
芯锐科技 成都

晶圆、EDA & IP 业务
(苏州全资子公司)



市场&销售中心
RMT 上海
(苏州全资子公司)

组织架构



高管团队



方家恩
董事长

上海理工大学，20多年的半导体与封装行业经验，国内第一批接触先进封装理念，先后帮助ASE上海、长电科技、华天科技、南通富士通等建立了先进封装设计团队。协助国内众多研究所和企业，完成了具有标杆性的重大科研项目。



李显丰
销售副总

1994年毕业于西安交通大学电子工程系。拥有超过20年的软/硬件市场销售经验。先后供职于华为及Sigriety, Cadence, Mentor等多家知名EDA公司。



金伟强
研发副总

1995年毕业于南京林业大学，2001年加入金朋，从事工艺工程师、设计工程师，到设计部经理，再到STATS ChipPAC亚太区技术市场副总监，熟悉从PDIP、SOIC、QFP、TSOP等引脚类产品，及PBGA FBGA, FcFBGA, FcBGA等基板类产品，和Wafer类 Fan-in/Fan-out产品。



孙青
集团副总裁

西班牙穆尔西亚大学，硕士，工商管理专业，高级采购师证，擅长MRP、JIT、6σ管理、采购绩效管理、成本管理，有丰富采购专业知识。熟悉半导体产业国内外材料、设备资源。



卓建方
TPM高级总监

杭州电子科技大学，电子工程系，20多年电子信息行业研发、企业管理经验。先后服务于杭州东方通信、北京德信、上海晨讯科技等国内一流的手机设计公司。2009年、2014年先后合伙创立上海晨想，上海卡布奇诺等科技企业，主持发明10多项国内专利。



潘宪峰
制造基地总经理

20多年的封装加工制造经验及优秀领导能力，先后帮助华南地区中小企业建立整条封装加工线，拥有丰富的工艺生产制造管理经验，对FcBGA等高端封装产品的加工制造，晶圆CP测试，成品FT测试拥有丰富经验。

生产能力

RMT
Rigger Micro Technologies

RMT
Rigger Micro Technologies

RMT
Rigger Micro Technologies

RMT
Rigger Micro Technologies

- 郑州 20000+平超净化厂房
- ERP+MES+EAP (数据化生产管理系统)
- 4-RA(可靠性测试) HTST THT PCT TCT
- FA (失效分析)

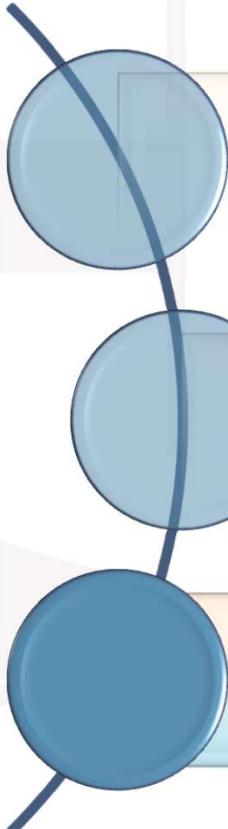
- FCBGA: 600K/月
- FCCSP: 3KK/月
- WBBGA: 4KK/月
- QFN: 30KK/月, TSSOP+SSOP: 48KK/月

锐杰微-郑州封测基地



锐杰微-郑州封测基地 FCBGA封装产线





锐杰微先进封装系统开发

锐杰微集团介绍

锐杰微先进封装/Chiplet规划

苏州先进封装测试基地建设



苏州先进封装测试基地建设

项目建设进度表

序号	工作内容	2022年					2023年											
		8	9	10	11	12	1	2	3	4	5	6	7	8	9	10	11	12
1	前期调研																	
2	可行性研究报告编报及批复																	
3	工程设计																	
4	土建施工																	
5	动力设备安装与调试																	
6	工艺设备商务谈判与签约																	
7	人员培训																	
8	工艺设备安装与调试																	
9	试生产																	
10	竣工验收																	

苏州总部示意图 - 年产1080万只大颗高端倒装球栅格阵列芯片

总投资18亿

一期投资
8.63亿

2023年底一
期投入使用



先进封装/Chiplet规划

□ 先进封装产品和产线规划

- ❖ 产品方向：
FCBGA (含Chiplet工艺) 封装测试
- ❖ 产线规划 (苏州基地)：
1F: 7500平方, 4 assembly lines
2F: 7500平方, 4 assembly lines
3F: 7500平方, Test (FT+SLT) & Lab
- ❖ 计划总投资18亿元, 其中:
一期约8.63亿 (生产设备约4.7亿元) ,
2023年底完成

□ Chiplet发展规划

- ❖ 夯实大尺寸FCBGA量产进程：
以郑州基地为基础, 未来苏州基地为拓展;
- ❖ 积极开发硅转接板合作;
- ❖ 加强ABF载板厂商合作, 保证ABF载板供应;
- ❖ 同步开展高密度载板新技术开发合作。



规模化**高端封装一站式解决方案**



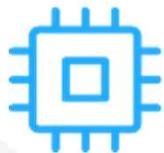
国内具备**25年以上**先进封装设计、量产团队



500+ SiP/国产高端核心处理器项目积累



定制化服务+交付周期管理



提供**板级**解决方案

THANKS!

